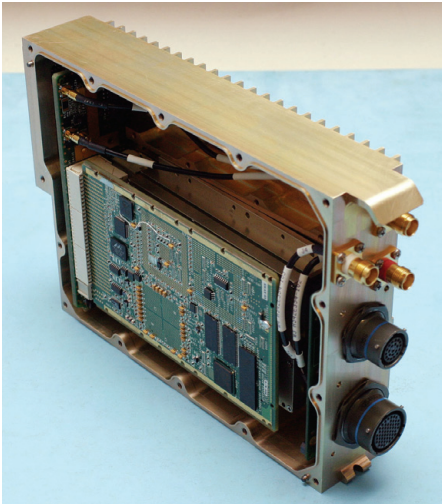


BAE Systems, SDR(Software-Defined Radio) 개발 시간 80% 단축



기존의 설계 작업 흐름에서 사용되는 커스텀 보드

미군은 부대들간의 통신과 상호 작전 수행 능력의 개선을 위해 앞으로 수년에 걸쳐 SDR(Software-Defined Radio) 기술에 10억 달러 이상을 투자할 것으로 예상됩니다. 이러한 수요를 충족하기 위해 방위 산업 계약 업체들은 소프트웨어 업데이트를 통해 재구성할 수 있는 멀티모드, 멀티밴드, 다기능 무선 장치를 신속하게 개발하기 위해 개선된 설계법을 연구하고 있습니다.

오랫동안 SDR 기술의 선두에서 온 BAE Systems는 전통적으로 VHDL*에서의 수작업 FPGA 코딩에 의존하는 설계 흐름을 사용했습니다. 하지만 최근 BAE Systems는 이러한 접근법을 MathWorks 및 Xilinx® 도구를 사용한 모델 기반 설계와 비교하여 평가할 기회를 가졌습니다. 두 가지 SDR 파형 개발 작업을 나란히 진행한 결과, Simulink® 및 Xilinx System Generator가 개발 시간을 크게 단축한다는 점을 알아냈습니다.

BAE Systems의 수석 기술자인 데이빗 헤이지그 박사는 “ Simulink를 사용함으로써 우리는 Xilinx System Generator를 통해 코드를 자동 생성하기 전에 보다 쉽고 빠르게 모델에서 모든 시뮬레이션과 디버깅을 마쳤습니다. 결과적으로 우리는 SDR(Software-Defined Radio)의 신호 처리 체인 개발 시간을 10분의 1 이하로 단축할 수 있었습니다. 이 사례는 SDR 애플리케이션에서의 개발 프로덕션 개선 가능성을 보여줍니다. ” 라고 말합니다.

과제

BAE Systems는 명령, 지휘, 통신, 컴퓨터, 정보, 감시, 정찰(C4ISR) 라디오에서의 구현을 위한 군사 표준(MIL-STD-188-165A) 위성 통신 파형 개발 작업을 맡았습니다. 이와 동시에 개발 시간 단축을 위한 새로운 설계 흐름을 평가할 방법을 찾고 있었습니다.

BAE Systems는 두 가지 개발 작업, 즉 기존 설계 흐름을 사용한 개발과 모델 기반 설계용 도구를 사용한 개발을 병행하고 공정한 비교를 위해 각 방법에 동등한 코어 집합을 사용할 예정이었습니다. BAE Systems는 두 프로젝트를 병행함으로써 기존 접근법과 모델 기반 설계를 실제 프로젝트로 직접 평가할 수 있었습니다.

솔루션

BAE Systems는 Xilinx와 협력하여 Simulink 및 Xilinx System Generator를 사용한 모델 기반 설계를 적용함으로써 수동 코딩 접근법보다 10배 정도 빠르게 MIL-STD-188 SDR 파형을 설계하고 배포했습니다.

이와 동시에 VHDL 및 소프트웨어 분야에 15년 이상의 경력을 가진 BAE Systems 엔지니어인 로버트 레지스 씨는 기존 설계 흐름을 사용한 별도의 프로젝트를 진행했습니다. 이 프로젝트에서 레지스 씨는 별개의 시스템 엔지니어링 단계 중 개발한 요구 사항과 사양을 기반으로 VHDL을 수동으로 코딩했습니다.

모델 기반 설계를 사용한 프로젝트에서 BAE Systems의 시스템 엔지니어인 앤드류 콤바 씨는 먼저 Simulink에서 SDR 송신기와 수신기의 모델을 개발했습니다. 이후 스크램블러, 차등 인코더, Reed-Solomon 인코더, 행렬 인터리버, Convolutional 인코더 및 QAM(Quadrature Amplitude Modulation) 변조기를 포함한 Communications System Toolbox™의 블록을 통합하여 모델 개발을 가속화했습니다.

콤바는 Simulink 모델을 Xilinx 엔지니어인 셸러거 씨에게 파형 요구사항과 함께 전달했습니다. 통신 시스템과 관련한 별다른 경험 없이 프로젝트를 시작한 셸러거 씨는 Xilinx System Generator를 사용하여 표준

과제

위성 통신을 위한 군사 표준 SDR 파형 개발

솔루션

Simulink 및 Xilinx System Generator를 사용하여 신속하게 SDR 신호 처리 체인을 설계 및 디버깅하고 자동으로 해당 코드 생성

결과

- 프로젝트 개발 시간 80% 단축
- 보다 신속하게 문제 발견 및 제거
- 단순화된 클로킹 및 인터페이스

“ 기존 설계 흐름을 사용하면 완벽히 작동하는 SDR 파형을 수동으로 코딩하는 데 수년의 VHDL 코딩 경험이 있는 엔지니어도 645시간이 걸립니다. Simulink 및 Xilinx System Generator를 사용하면 경험이 부족한 보조 엔지니어도 동일 프로젝트를 46시간 안에 마칠 수 있었습니다. ” —데이빗 헤이지그(DAVID HEASSIG) 박사, BAE SYSTEMS

Simulink 블록 대신 Xilinx 블록을 채워 넣어 자동 코드 생성을 위한 모델을 준비했습니다.

업데이트된 모델을 데이터 시각화 스코프(scope) 및 BER(비트 오류율) 측정기를 사용하여 시뮬레이션하고 검증한 후 Xilinx System Generator와 Xilinx ISE를 사용하여 SDR을 위한 VHDL 코드를 자동으로 생성하고 테스트를 위해 이 코드를 FPGA에 탑재했습니다.

헤이지그 박사는 “ 모델을 사용하여 설계를 완전히 시뮬레이션하고 검증했기 때문에 SDR 구현은 FPGA에 다운로드했을 때 즉시 작동했습니다. ” 라고 말합니다.

이 프로젝트 초기 작업의 성공을 기반으로 BAE Systems는 파형 이식성 향상을 위해 MathWorks, Virginia Tech, Xilinx, Zeligsoft와 공동 작업을 시작했습니다. 이들 기업은 Simulink Coder™ 또는 Xilinx System Generator로 생성한 코드를 SCA(Software Communications Architecture) 라디오에 직접 통합할 수 있는 인터페이스를 개발하고 있습니다.

결과

프로젝트 개발 시간이 80% 단축되었습니다.

헤이지그 박사는 “ 우리는 Simulink 및 Xilinx System Generator를 사용하여 SDR의 신호 처리 체인을 설계하고 개발했으며 개발 시간을 10분의 1로 단축했습니다. 하드웨어 통합 및 실험실 테스트를 포함한 전체 프로젝트 시간은 4분의 1 이상 줄었습니다. ” 라고 말합니다.

문제 발견 및 제거 속도가 보다 빨라졌습니다.

헤이지그 박사는 “ 모델 기반 설계를 통해 Simulink 모델은 결과 코드와 직접적으로 연결됩니다. 이에 따라 개발자는 모델에 필요한 파형의 모든 세부 정보들을 파악하게 됩니다. 결과적으로 이후 단계인 VHDL 동작 테스트에서가 아니라 설계 흐름 초기의 모델링 단계에서 버그를 발견하고 제거하므로 훨씬 편하고 시간이 적게 듭니다. ” 라고 말합니다.

클로킹 및 인터페이스가 단순해졌습니다.

기존의 설계 흐름에서는 엔지니어가 모든 클럭 타이밍을 수동으로 생성하고 파형의 각 구성요소에 대한 사양 및 인터페이스 요구 사항을 주의 깊게 점검해야 했습니다. 헤이지그 박사는 “ Simulink 및 Xilinx System Generator를 이용하면 모든 필수 클로킹 신호가 자동으로 생성되고 구성요소가 쉽게 연결되며 제어, 타이밍, 기타 옵션에 관한 세부 정보를 알아보기 위해 사양 자료 시트를 검토할 필요가 없습니다. ” 라고 말합니다.

산업

- 항공 우주 산업 및 국방
- 통신

적용 분야

- 시스템 설계 및 시뮬레이션
- 디지털 신호 처리
- 통신 시스템
- FPGA 설계

사용 제품

- MATLAB®
- Simulink®
- Communications System Toolbox™
- DSP System Toolbox™
- MATLAB Coder™
- Simulink Coder™
- Xilinx® System Generator

BAE Systems에 대한 자세한 내용은 다음 웹 사이트를 참조하십시오.

www.baesystems.com