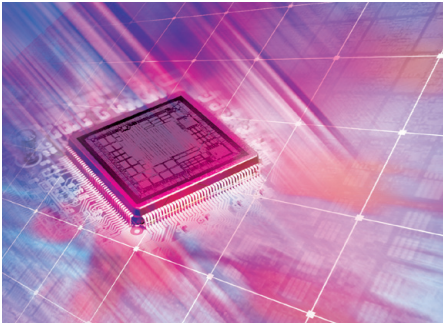


智原 (Faraday) 利用模型化基礎設計加速 SIP 開發且縮減快閃控制器 ECC 引擎邏輯閘數 57%



Faraday 在 SoC 上的矽智產。

許多積體電路製造商都求諸矽智慧財產權 (Silicon Intellectual Property, SIP) 供應商進行系統單晶片 (System-on-a-Chip, SoC) 和特殊應用積體電路 (Application-Specific Integrated Circuit, ASIC) 設計。對於 SIP 設計人員來說，記憶體控制器是機會也是挑戰：之所以是機會，是因為每個微處理器子系統都需要記憶體控制器；而挑戰則出自於記憶體控制器設計複雜，需要持續不斷的增強，方能支援各式各樣的記憶體裝置。像智原科技 (Faraday Technology Corporation) 這類的 SIP 供應商若能減少其設計的邏輯閘數，並縮短記憶體控制器和其他模組的開發週期 (這終將降低客戶的成本)，便可提高其競爭優勢。

智原採用 MathWorks 以模型化為基礎的 (Model-Based Design) 設計工具來加速 SIP 開發，探索系統層級設計的替代方案，並改善工程師之間的溝通。

「Simulink 是整合、模擬和探索設計架構的絕佳環境，」智原 ESL 方法學經理陳正堅表示。「透過 Simulink，我們可以用比 RTL 模擬快上 200 倍的速度來執行模擬，藉此迅速識別出最佳的設計組態，並且使產品更快上市。」

挑戰

在智原的開發工作流程中，工程師會建立設計模組，以便迅速設定並組成整合式系統層級的模型。這些模型在過去都是以 SystemC、C++ 或 Verilog® 手工編碼而成。記憶體控制器標準一有變動，模組也必須重新編碼。手工編碼不僅耗時，模組常常還必須

移植成其他語言，以便在專用模擬平台上進行 RTL 模擬。

當智原的模組包含離散時間交互操作時，模擬本身的速度更是緩慢。舉例而言，控制雙倍速 (DDR) 記憶體或快閃記憶體的資料流程的模組必須採用複雜的通訊協定並管理大量的資料。而模擬這些模組的速度之慢，使得智原必須限制設計迭代和測試才能如期完工。也因為沒有多餘的時間最佳化，工程師只好針對最糟的情況進行設計，因而導致次佳設計擁有更多不必要的閘門 — 換言之，增加了更多不必要的成本。

解決方案

智原工程師建立了一套新工作流程，在當中採用 MATLAB®、Simulink® 和 Stateflow® 製作並模擬其系統層級設計的模型，也採用 Simulink Coder™ 和 Simulink HDL Coder™ 從他們的模型中產生程式碼。

工程師在 Simulink 和 Stateflow 中製作了多重設計模組的模型，包括用於 DDR 和快閃控制器的有限狀態機 (Finite State Machines, FSM)。他們在 Simulink 內執行大量的模擬作業以確保模型在各種組態下的運作週期都正確無誤。他們使用 MATLAB 在模型上執行統計資料分析。

在架構設計階段，智原工程師更是評估各種組合的模組，並嘗試不同的參數值。他們運用模擬結果來改善設計，並將設計最佳化。陳正堅表示：「Stateflow 讓工程師更容易以詳細且容易理解的抽象程度，來溝通複雜的控制器設計。」

挑戰

加速 SoC 與 ASIC 的開發

解決方案

採用 MathWorks 基於模型的設計工具加速系統層級模擬、提升系統效能，以及縮短上市時間

成果

- 模擬速度快上 200 倍
- 輸送量效能提高 15%
- 邏輯閘數減少 57%

「Simulink 環境適合系統層級架構探索。模擬的速度比我們之前的工作流程快上 200 倍，Simulink 模型可輕易轉換成 C 和 HDL 程式碼，從而達成高延展性和重複使用性。」

—陳正堅，智原科技

智原工程師使用 Simulink Coder 從他們的模型產生 C 程式碼，來替代速度較慢的 RTL 模擬。此 C 程式碼提供了程式設計師的設計觀點，並且可以整合至許多虛擬平台解決方案，供軟體開發和系統層級架構探索之用。

在實作階段，由於手動移植設計的耗時耗力，智原工程師改而嘗試使用 Simulink HDL Coder，從相同的 Simulink 模型自動產生 HDL 程式碼，以整合至其 RTL 模擬。這套工作流程使智原得以從架構設計移向 ASIC 實作，進而縮短其設計流程。

智原目前已完成 DDR 和快閃控制器專案，並如期將 SIP 設計交付給客戶。另外也成立工程團隊，透過重複使用及調整他們現有的模型，來加速未來記憶體控制器專案的開發作業。

成果

模擬速度快上 200 倍:透過 Simulink 和 Stateflow 模擬系統層級模型的速度，比起類似的 RTL 模擬快上 200 倍，使得智原能夠完成更多設計迭代，並迅速識別最佳的參數和組態。

輸送量效能提高 15%: Simulink 模擬突顯出傳統設計的無效率，尤其是在仲裁程式和 FIFO 機制方面。與其重新設計整個系統，智原工程師改把重點放在這些元件上，迅速提高了 15% 的輸送量。透過將基於模型的設計應用於新 DDR 控制器，智原將系統效能提升了 33% 以上。

邏輯閘數減少 57%:過去，速度緩慢的模擬和緊湊的時間表限制了設計迭代，並導致智原只能針對最糟的情況進行設計。但在使用 MATLAB、Simulink 和 Stateflow 應用來統計資料錯誤模型之後，可清楚評估出低成本與最糟案例兩種情況下的系統效能，進而訂定出最佳的折衷方案，將單一專案的整體邏輯閘數減少達 57%。

產業

- 電子和半導體

應用領域

- 演算法開發
- 系統設計和模擬
- HDL 程式碼產生和驗證
- 確認、驗證和測試
- FPGA 設計

本文所用的產品

- MATLAB®
- Simulink®
- MATLAB Coder™
- Simulink Coder™
- Simulink HDL Coder™
- Stateflow®

進一步瞭解智原科技

www.faraday-tech.com