高速演算を可能とするFPGAシミュレータと HDL Coder活用事例

トヨタテクニカルディベロップメント株式会社
第1計測制御事業部　シミュレーション要素開発室
高木　俊一

MathWorks Japan
アプリケーションエンジニアリング部
松本　充史

FPGAの新しいマーケットトレンド
SoCデバイスのADAS用途での量産適用

ALTERA
MEASURABLE ADVANTAGE™

日本

製品 | ソリューション | サポート | 会社概要 | eStore

Home > 会社概要 > News Room > ... > ... > products > アウディ、自動運転機能を搭載する同社の量産車

RELEASE DATE: 2015年1月6日

アウディ、自動運転機能を搭載する同社の量産車に、アルテラの SoC FPGA を採用

- アルテラと TTTech、業界先進の ADAS ソリューションを、アウディの自動運転技術に提供

プログラマブル・ロジック・ソリューションの世界的リーディング・カンパニーであるアルテラ・コーポレーション（本社：米国カリフォルニア州サンノゼ、社長、CEO 兼会長：ジョン・デイナ、日本法人：東京都新宿区、代表取締役社長：ハンス・チュアン、NASDAQ: ALTR 以下、アルテラ）は、米国時間 1 月 5 日（日本時間：1 月 6 日）、同社の SoC FPGA が、アウディの量産車向け先進運転支援システム（ADAS）に採用されたことを発表しました。

自動運転技術のリーダーであるアウディと、同社の運転支援用中央制御ユニット、zFAS の主要開発パートナーであるオーストリアの先進企業 TTTech は、アウディが自動運転および自動駐車のために必要とする、ASSP ソリューションでは実現困難なシステム性能向上と独自機能を搭載するため、アルテラの Cyclone® V SoC FPGA を採用しました。

https://www.altera.co.jp/about/news_room/releases/2015/products/nr-altera-audi-adas-cyclone-v.html

FPGAの新しいマーケットトレンド
小規模・省電力化

【レポート】

Lattice、ウェアラブル機器向けFPGAとして「iCE40 Ultra」の省電力版を発表

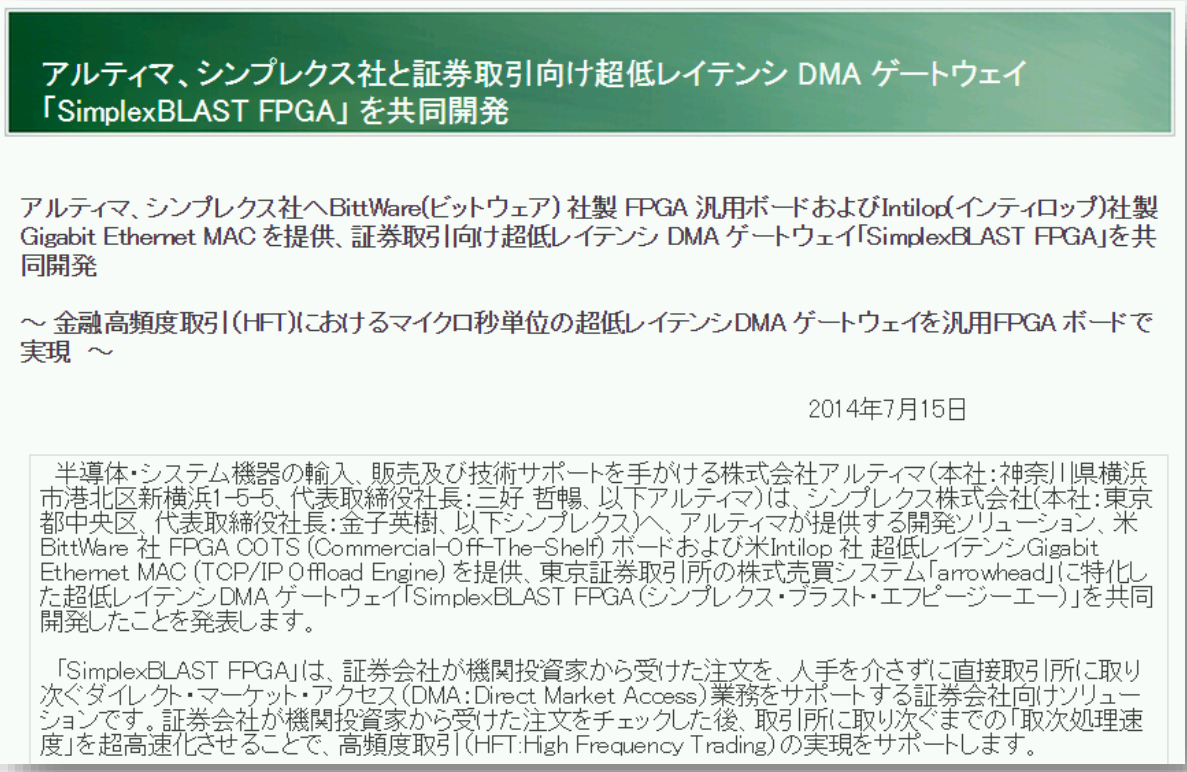
大原雄介　[2015/02/05]

Lattice Semiconductorは2月3日(米国時間)に、ウェアラブル機器などをターゲットにしたFPGAとして「iCE40 Ultraシリーズ」の省電力版「iCE40 Ultra Lite」を発表した。

同社は昨年7月に、モバイルコンシューマ機器向けのFPGAとしてiCE40 Ultraファミリーを発表しているが、今回発表になったiCE40 Ultra Liteファミリーはその小規模・省電力版という位置づけになる。ターゲットとなるのは、従来のiCE40 Ultraファミリーがターゲットとしていた小型・省電力機器に加えて、最近急速に盛り上がりつつあるウェアラブル機器も視野に入れている(Photo01)。

http://news.mynavi.jp/articles/2015/02/05/ice40_ultra_lite/

FPGAの新しいマーケットトレンド
HPC（High Performance Computing）分野での応用



アルティマ、シンプレクス社と証券取引向け超低レイテンシ DMA ゲートウェイ「SimplexBLAST FPGA」を共同開発

アルティマ、シンプレクス社へBittWare(ビットウェア) 社製 FPGA 汎用ボードおよびIntilop(インティロップ)社製 Gigabit Ethernet MAC を提供、証券取引向け超低レイテンシ DMA ゲートウェイ「SimplexBLAST FPGA」を共同開発

～ 金融高頻度取引(HFT)におけるマイクロ秒単位の超低レイテンシDMA ゲートウェイを汎用FPGA ボードで実現 ～

2014年7月15日

半導体・システム機器の輸入、販売及び技術サポートを手がける株式会社アルティマ(本社：神奈川県横浜市港北区新横浜1-5-5、代表取締役社長：三好 哲暢、以下アルティマ)は、シンプレクス株式会社(本社：東京都中央区、代表取締役社長：金子英樹、以下シンプレクス)へ、アルティマが提供する開発ソリューション、米BittWare 社 FPGA COTS (Commercial-Off-The-Shelf) ボードおよび米Intilop 社 超低レイテンシGigabit Ethernet MAC (TCP/IP Offload Engine) を提供、東京証券取引所の株式売買システム「arrowhead」に特化した超低レイテンシDMA ゲートウェイ「SimplexBLAST FPGA (シンプレクス・ブラスト・エフピージーエー)」を共同開発したことを発表します。

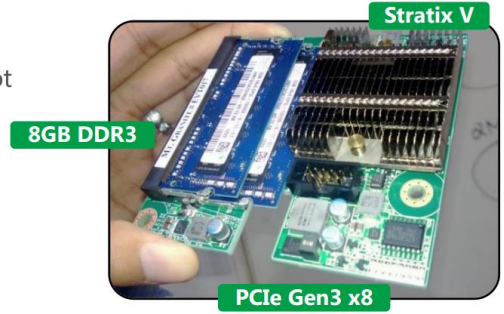
「SimplexBLAST FPGA」は、証券会社が機関投資家から受けた注文を、人手を介さずに直接取引所に取り次ぐダイレクト・マーケット・アクセス(DMA：Direct Market Access)業務をサポートする証券会社向けソリューションです。証券会社が機関投資家から受けた注文をチェックした後、取引所に取り次ぐまでの「取次処理速度」を超高速化させることで、高頻度取引(HFT:High Frequency Trading)の実現をサポートします。

https://www.altima.co.jp/press-release/simplex_140715.html

FPGAの新しいマーケットトレンド
データセンターでのDeep Learningの高速処理に適用

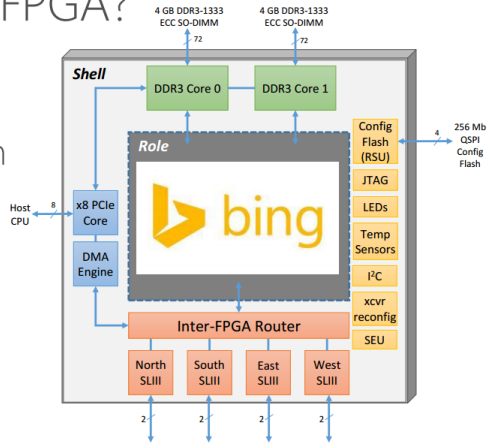
Catapult FPGA Accelerator Card

- Altera Stratix V D5
- 172,600 ALMs, 2,014 M20Ks, 1,590 DSPs
- PCIe Gen 3 x8
- 8GB DDR3-1333
- Powered by PCIe slot
- Torus Network



What goes on the FPGA?

- *Shell* handles all I/O & management tasks
- *Role* is only application logic
- FIFO access to Shell
- Role is Partial Reconfig boundary



"Transitioning from the Era of Multicore to the Era of Specialization" Microsoft Research
https://www.sics.se/ssw2014/speakers/doug-burger

フレキシビリティ、効率性、スケーラビリティを備えたFPGA

- 逐次処理：CPU，　並列処理：FPGA, GPU, ASIC
- FPGAは高性能、スケーラビリティがあり、かつ低消費電力
  ⇒高性能演算に最適なデバイス

PERFORMANCE COMPARISON BETWEEN GPUS, ASICS AND FPGAS ON DISTRIBUTED DNN TRAINING

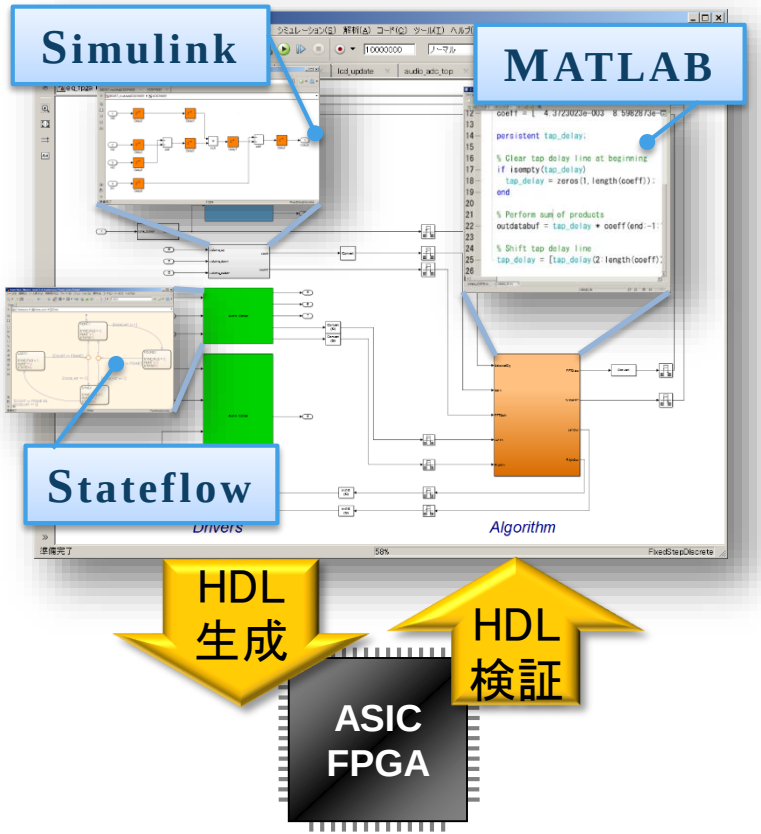
Device	# Nodes	Normalized Performance $[Ops/(s*mm^2)]$	Energy Efficiency $[Ops/W]$
FPGA	1	1.97G	29.5G
	9	1.92G	28.8G
	64	1.92G	25.1G
GPU	1	1.75G	5.33G
	9	874M	2.90G
	64	436M	1.66G
ASIC	64	15.7G	148G

	フレキシビリティ	スケーラビリティ	電力効率
FPGA	ある程度良い	GPUより良い	良い
GPU	良い	良い	良くない
ASIC	悪い	非常に良い	良い

“Navigating the Design Space of Reconfigurable Neural Networks Accelerators”
http://wiki.epfl.ch/edicpublic/documents/Candidacy%20exam/PR15drumond.pdf

*HDL Coder™/HDL Verifier™*製品概要

- *HDL Coder*
  - Simulink/Stateflow/MATLABから HDLコード生成
  - コーディング規約準拠、可読性高い、 ターゲット依存しないVHDL/Verilog生成
- *HDL Verifier*
  - HDLシミュレータと連携してHDLコード検証
  - FPGAボードと連携してFPGA実機検証
  - DPI-Cテストベンチ生成
  - System C TLMラッパー生成



高速演算を可能とするFPGAシミュレータと HDL Coder活用事例

2015年10月16日

トヨタテクニカルディベロップメント(株)
Toyota Technical Development Corporation
第1計測制御事業部　シミュレーション要素開発室
高木　俊一

Agenda

1. TTDC会社紹介
2. モータシミュレータ(HILS)でFPGA採用の背景
3. HDL Coder活用の狙い
4. HDL Coder性能調査
5. HDL Coder活用への取り組み
6. まとめ

Agenda

1. TTDC会社紹介
2. モータシミュレータ(HILS)でFPGA採用の背景
3. HDL Coder活用の狙い
4. HDL Coder性能調査
5. HDL Coder活用への取り組み
6. まとめ

1. TTDC会社紹介

トヨタテクニカルディベロップメント株式会社（TTDC）

英 文 名 ： Toyota Technical Development Corporation

本　社 ： 愛知県豊田市花本町井前1-21

資 本 金 ： 5.5億円　※トヨタ自動車100%出資

設　立 ： 2006年4月1日

従業員数 ： 5,938名（2015年4月1日現在）

売 上 高 ： 689億円（2014年度）

1. TTDC会社紹介

■事業内容

企画

デザイン

TTDC技術部門（車両開発）

設計

ボデー

燃料電池

電子

CAE

実験

材料技術

モデルベース開発(MBD)に関する
- ツール開発
- 環境構築
- プラントモデル開発

生産

輸送

販売・サービス

TTDC技術部門（開発支援）

ITシステム	教育事業	開発支援	知財

TTDC計測部門

計測部門				
シミュレータ装置	計測システム	計測技術	次世代事業	設備

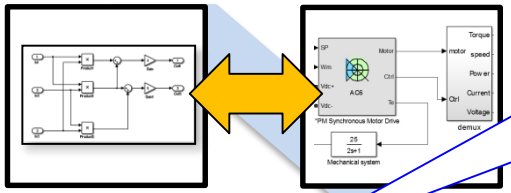
Agenda

1. TTDC会社紹介
2. **モータシミュレータ(HILS)でFPGA採用の背景**
3. HDL Coder活用の狙い
4. HDL Coder性能調査
5. HDL Coder活用への取り組み
6. まとめ

2.モータシミュレータ(HILS)でFPGA採用の背景

ECU(Electronic Control Unit)のMBDにおけるVプロセス
（モータ制御開発の一例）

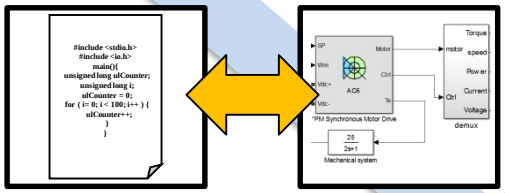
制御モデル　モータモデル



企画/仕様
【MILS評価】

MILSとは
（Model In the Loop　Simulation）
ECU,プラントが無い状態で、
システムの先行検討を可能にする手法

制御Cソース　モータモデル



設計/製作
【SILS評価】

SILSとは
（Software In the Loop Simulation）
ECU,プラントが無い状態で、
ソフトウェア評価を可能にする手法

ECU
実装

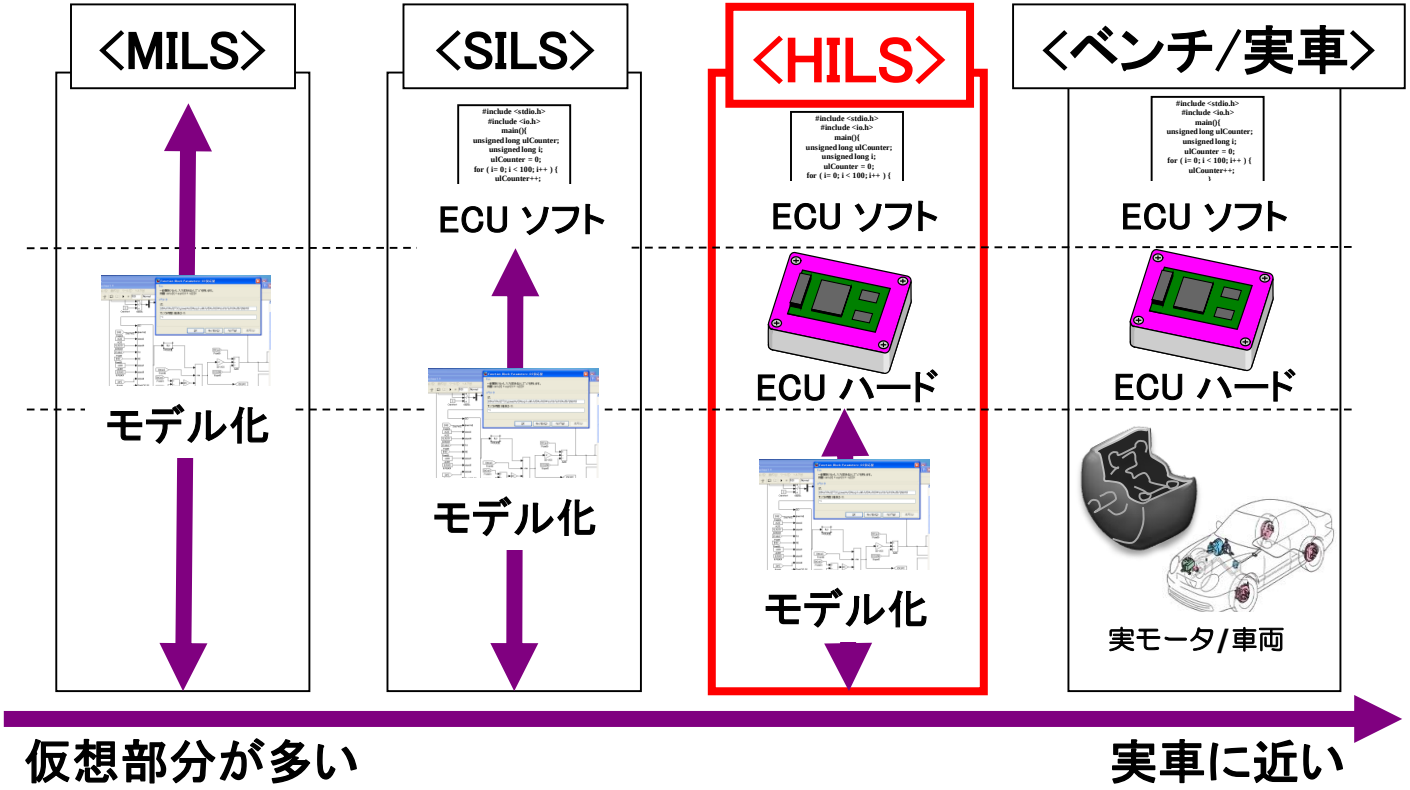
ECU　モータ
システム評価
【ベンチ評価】

ECU　モータシミュレータ
単体評価
【HILS評価】

HILSとは
（Hardware In the Loop Simulation）
ユニット・試験車の無い状態での
上記評価を可能にする手法

2.モータシミュレータ(HILS)でFPGA採用の背景

Vプロセスにおける仮想化範囲



2.モータシミュレータ(HILS)でFPGA採用の背景

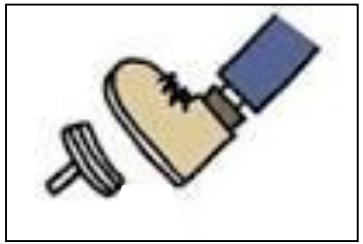
HILS とは

- HILS=Hardware In the Loop Simulation
  実ECU(Electronic Control Unit)を使用するシミュレーション手法
- ECUの制御対象をモデル(計算式)化、
  専用シミュレータでリアルタイムに実行

実ECUを仮想環境に接続して試験/評価

2.モータシミュレータ(HILS)でFPGA採用の背景

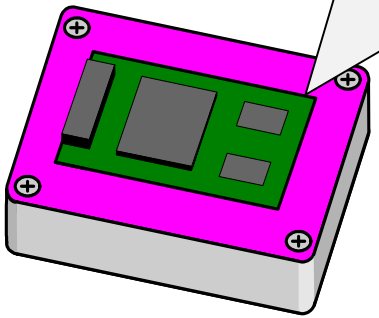
HV車のモータ制御のイメージ



【ドライバー】

アクセル操作
↓
トルク要求

トルク要求(指令)と
センサー信号(モータの状態)で
ECUが制御信号を出力！



【モータ制御ECU】

制御信号

センサー信号

【モータ】

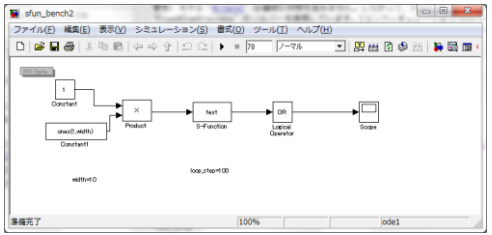
2.モータシミュレータ(HILS)でFPGA採用の背景

HILS環境だと・・・

【ドライバー】

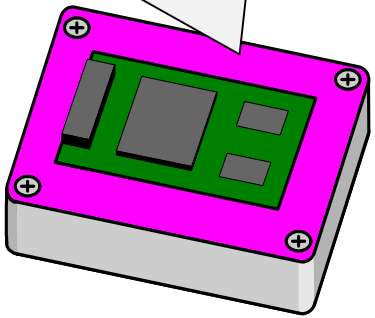
実モータレスでモータ制御ECUを評価
⇒ 開発コストと時間を削減！

実時間でモデル実行



【モータモデル】

アクセル操作
↓
トルク要求



【モータ制御ECU】

制御信号

センサー信号

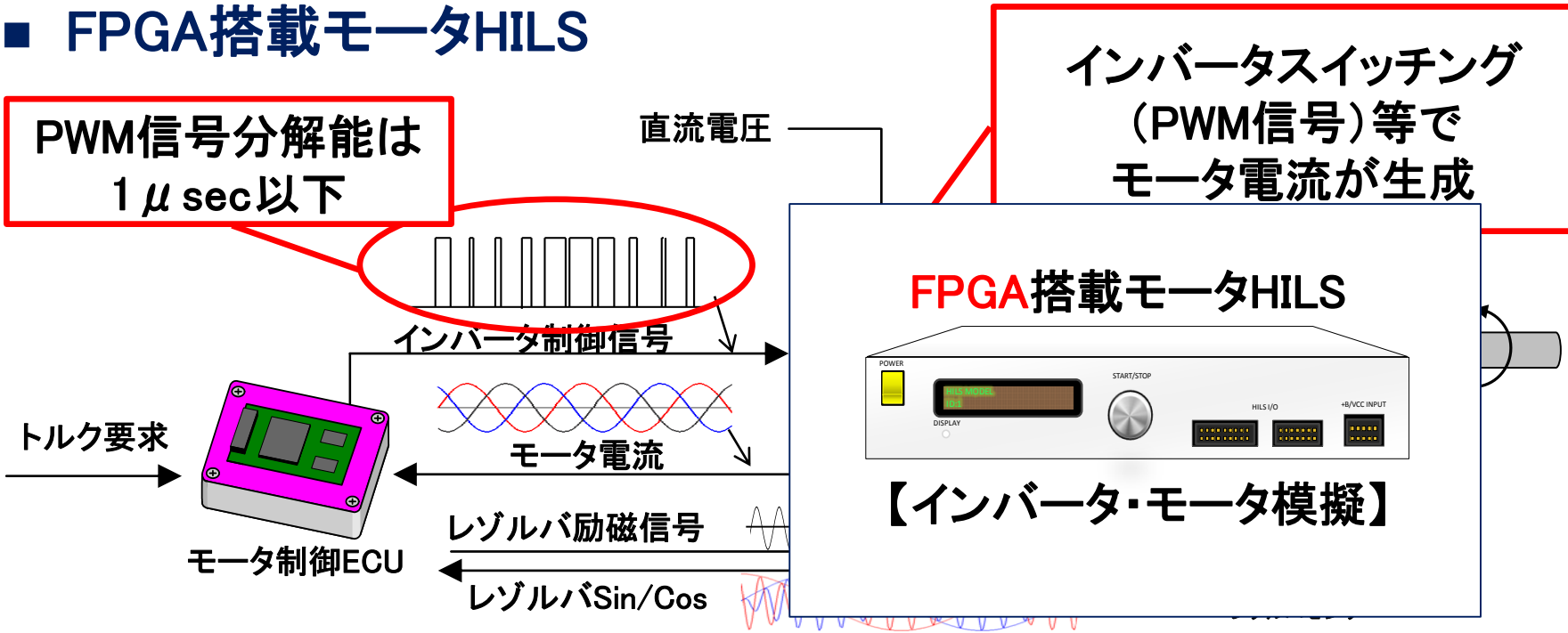
【モータ】

2.モータシミュレータ(HILS)でFPGA採用の背景

■ FPGA搭載モータHILS

PWM信号分解能は
1μsec以下

インバータスイッチング
（PWM信号）等で
モータ電流が生成

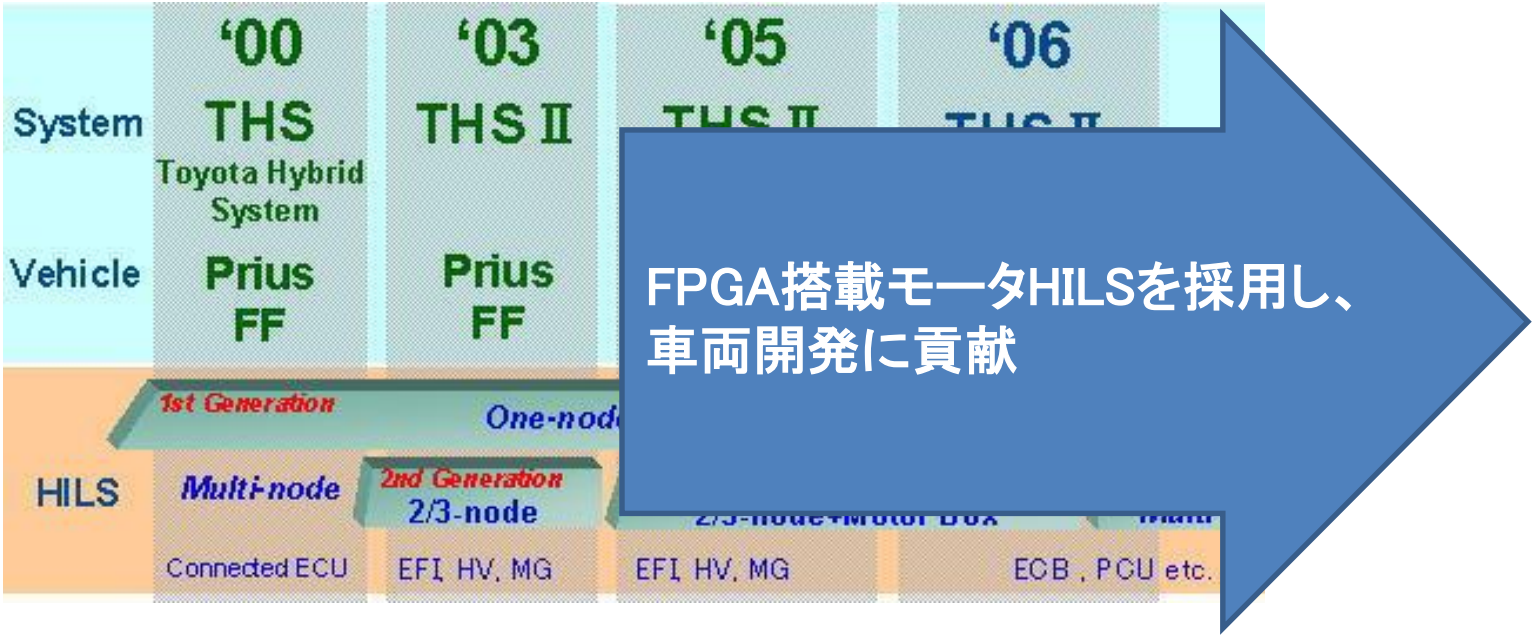


CPU搭載HILSのモデル演算周期：μsecオーダー
FPGA搭載HILSのモデル演算周期：nsecオーダー

2.モータシミュレータ(HILS)でFPGA採用の背景

- **FPGA搭載モータHILSを用いた車両開発実績（過去事例）**

  出典：「2007 SAE International」 Paper#2007-01-3469



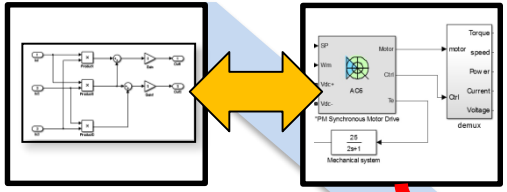
Agenda

1. TTDC会社紹介
2. モータシミュレータ(HILS)でFPGA採用の背景
3. **HDL Coder活用の狙い**
4. HDL Coder性能調査
5. HDL Coder活用への取り組み
6. まとめ

3.HDL Coder活用の狙い

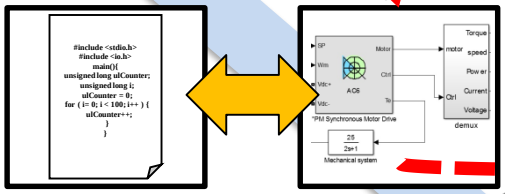
ECU開発工程とプラントモデル

制御モデル　モータモデル



企画/仕様
【MILS評価】

制御Cソース　モータモデル



設計/製作
【SILS評価】

ECU

実装

トヨタテクニカルディベロップメント株式会社

ECU　モータ

システム評価
【ベンチ評価】

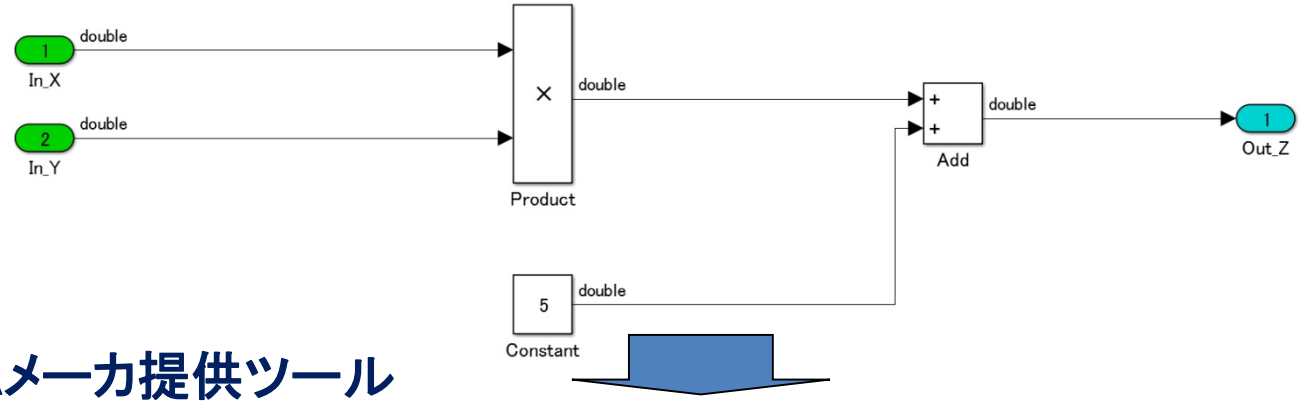
ECU　FPGA搭載シミュレータ

単体評価
【HILS評価】

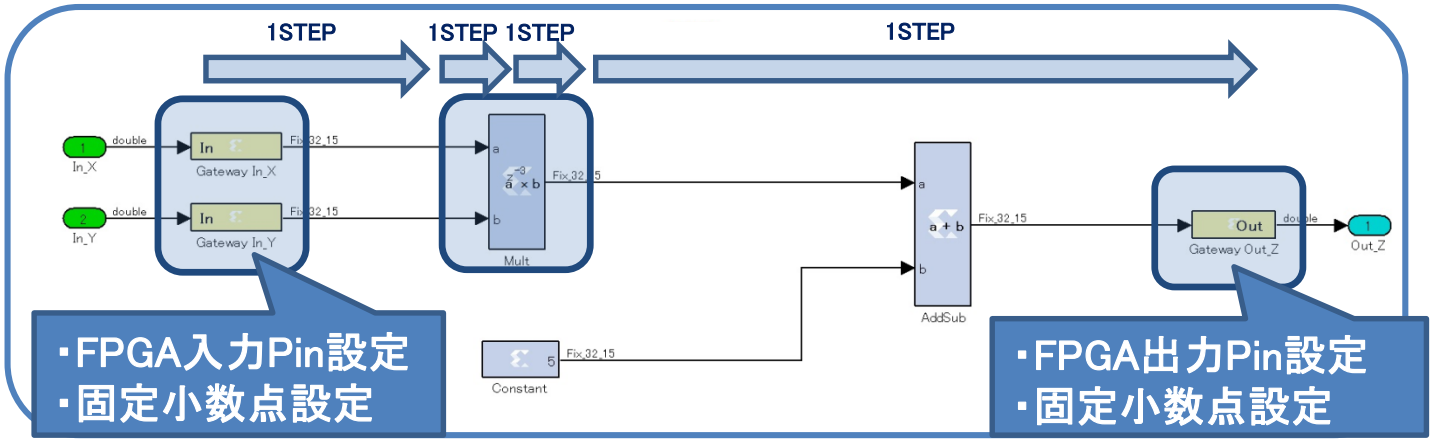
FPGA専用ブロックで
モデル再構築しないと
実装できない！

3.HDL Coder活用の狙い

■ FPGA専用ブロックでのモデル再構築例



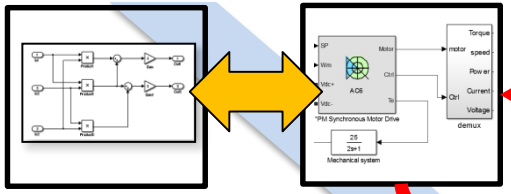
FPGAメーカ提供ツール



3.HDL Coder活用の狙い

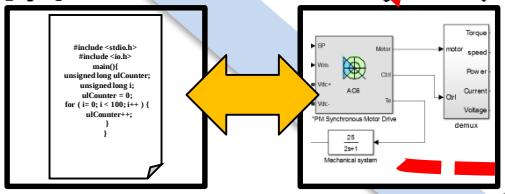
ECU開発工程とプラントモデル

制御モデル　モータモデル



企画/仕様
【MILS評価】

制御Cソース　モータモデル



設計/製作
【SILS評価】

ECU
実装

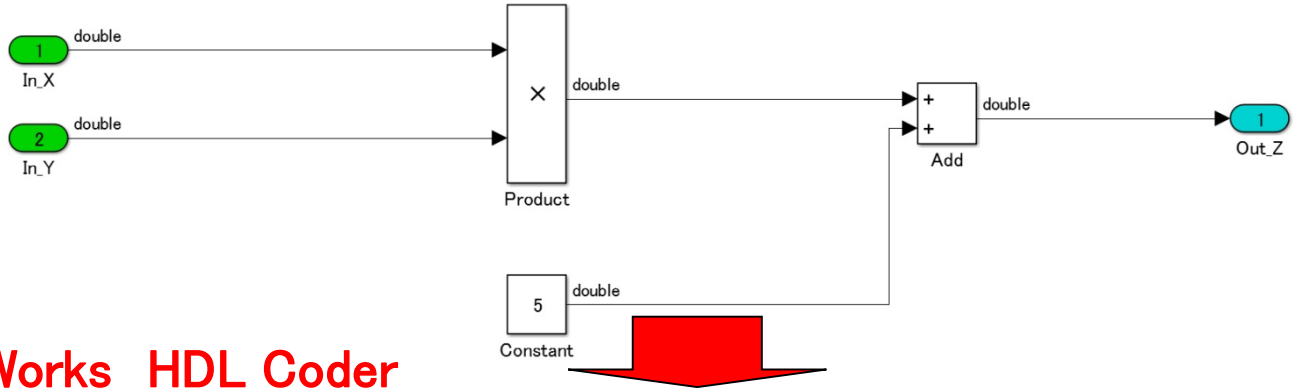
ECU ⇔ モータ
システム評価
【ベンチ評価】

ECU ⇔ FPGA搭載シミュレータ
単体評価
【HILS評価】

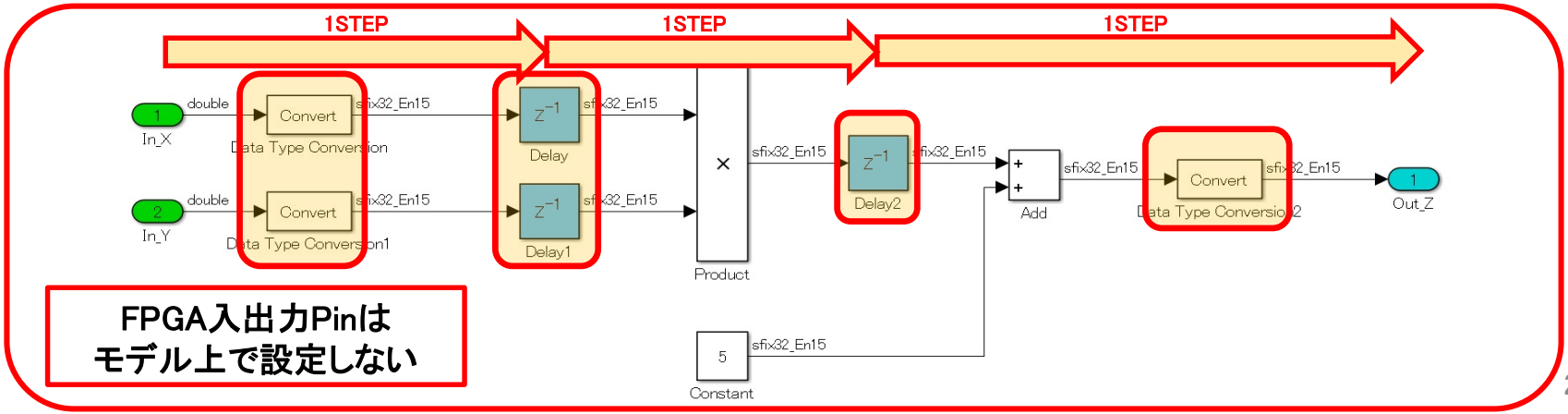
HDL Coderを活用
Simulinkモデルから
FPGAへ実装可能

3.HDL Coder活用の狙い

■ FPGA専用ブロックでのモデル再構築例



MathWorks HDL Coder



Agenda

1. TTDC会社紹介
2. モータシミュレータ(HILS)でFPGA採用の背景
3. HDL Coder活用の狙い
4. **HDL Coder性能調査**
5. HDL Coder活用への取り組み
6. まとめ

4. HDL Coder性能調査

■ FPGAメーカ提供ツールとの比較

Simulinkモータモデルから、FPGA実装モデルを2種類作成し比較調査

- FPGAメーカ提供ツール (FPGA専用ブロック)
- MathWorks社のHDL Coder

モデル開発環境

メーカー	ソフトウェア	Version
MathWorks	MATLAB	7.11.0(R2010bSP1)
	Simulink	7.6.1(R2010bSP1)
	Simulink HDL Coder	2.0(R2010bSP1)
	Fixed-Point Toolbox	3.2(R2010bSP1)
	Simulink Fixed Point	6.4(R2010bSP1)
FPGAメーカ	FPGAメーカ提供ツール (専用ブロックセット)	-
	FPGAメーカ製コンパイラ	-

4. HDL Coder性能調査

■ HDL Coder と FPGAメーカ提供ツールの比較結果

No	比較項目	HDL Coder優劣
1	SimulinkモデルからFPGA実装までのモデル作成作業量	◎
2	Simulink環境でのモデル実行時間（モデルのデバッグ）	◎
3	HDLコードの生成時間	○
4	HDLコードからFPGA実装ファイル生成作業	×
5	実装可能なFPGA種類	○
6	Simulink CoderでのCコード生成対応	○
7	FPGA実装モデルのトータル演算周期	○
8	FPGA内の使用リソース調整	－
9	ツール価格	×

4. HDL Coder性能調査

1	SimulinkモデルからFPGA実装までのモデル作成作業量	◎
2	Simulink環境でのモデル実行時間（モデルのデバッグ）	◎

・ベースのSimulinkモデル流用により、作業時間短縮

FPGAメーカ提供ツールでは100H程度　⇒　HDL Coderならば60H程度

・ラピッドアクセラレータが使用でき、デバッグ時間短縮

1secのシミュレーション時間比較

FPGAメーカ提供ツール ： 70min

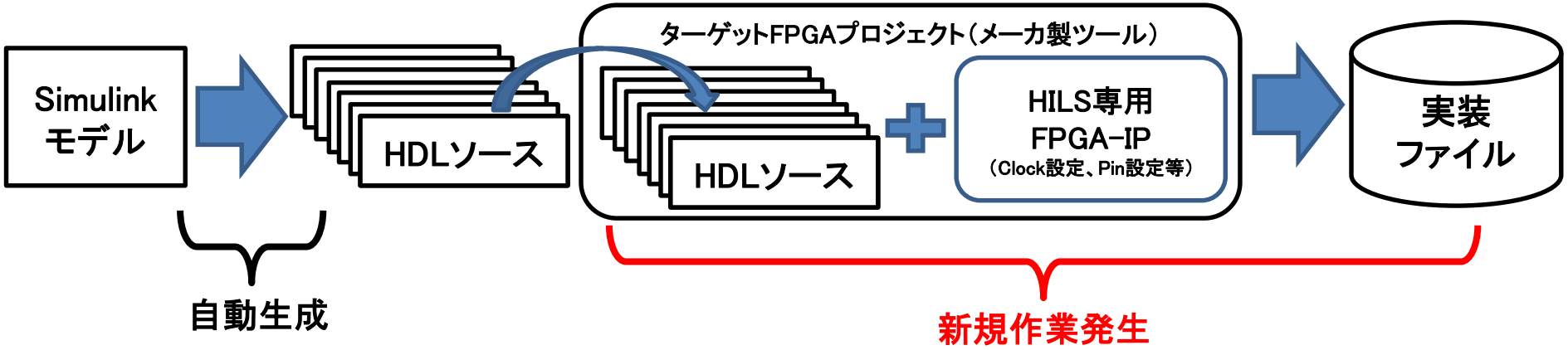
HDL Coder　　： 17min

モデル作成時間に加えデバッグ作業時間も短縮
MILS/SILSプラントモデルの流用度Up！

4. HDL Coder性能調査

4	HDLコードからFPGA実装ファイル生成作業	×

HDL CoderはSimulinkモデル　→　HDL生成までは可能だが、
ターゲットFPGA向けコンパイルは不可能（FPGA-Pin設定等）



▼モデル作成作業量は削減されたが、FPGA実装ファイル生成作業が新規で発生

⇒　FPGA実装ファイルの自動化生成ツールの開発

4. HDL Coder性能調査

8	FPGA内の使用リソース調整	－

FPGAメーカ提供ツール：ターゲットFPGA専用

⇒ 最適化されたコード生成

HDL Coder ：FPGAメーカに依存しない

⇒ 汎用的なコード生成

同じ演算内容のモデルでも、生成されるコードが異なる為
FPGAに実装した際に使用するリソースにも違いが出る

4. HDL Coder性能調査

8	FPGA内の使用リソース調整	–

FPGAリソース使用状況の比較

No	Resource	FPGAメーカ提供ツール		HDL Coder	
1	DCM_ADVs (デジタルクロックマネジャ)	4/12	33%	4/12	33%
2	DSP48s (乗算器)	15/160	9%	75/160	46%
3	External IOBs (FPGAの入出力PIN)	364/768	47%	374/768	48%
4	RAMB16s (RAM)	136 / 376	36%	136/376	36%
5	Slices (スライス)	18690/42176	44%	16518 /42176	39%

HDLコード生成時に演算ブロックの扱いが異なる

FPGAメーカ提供ツール：最適化により適したリソースへ割り当て

モデルの作り方を間違えると
- リソース無駄使い発生
- 処理負荷の高い演算は実装困難

⇒ バランスを意識した独自ブロック(ライブラリ)の開発

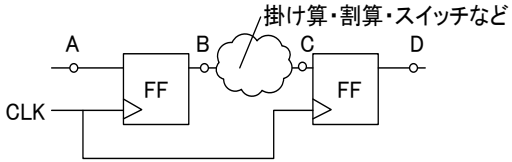
Agenda

1. TTDC会社紹介
2. モータシミュレータ(HILS)でFPGA採用の背景
3. HDL Coder活用の狙い
4. HDL Coder性能調査
5. **HDL Coder活用への取り組み**
6. まとめ

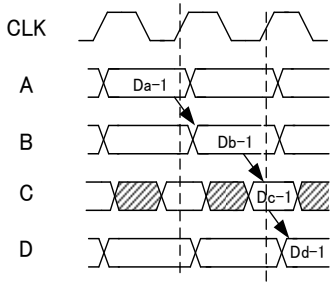
5.HDL Coder活用への取り組み

【課題】100[MHz]高速演算FPGAへSimulinkモデルを実装
⇒タイミング制約を満たすモデル設計技術が必要
⇒<u>タイミング制約満たせない場合、FPGA内の演算値が不定となる。</u>
結果として、モータシミュレーションが破綻する可能性がある。

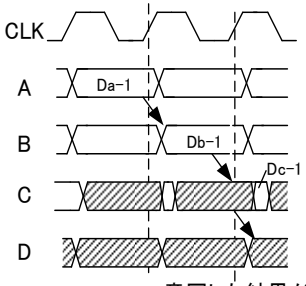
タイミング制約とは・・・



(i)タイミング制約を満たしている

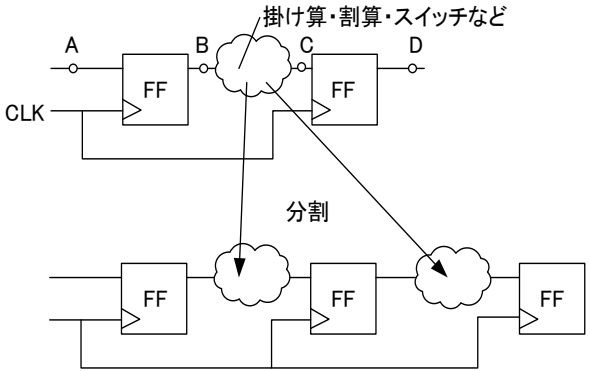


(ii)タイミング制約を満たしていない



意図した結果が得られない

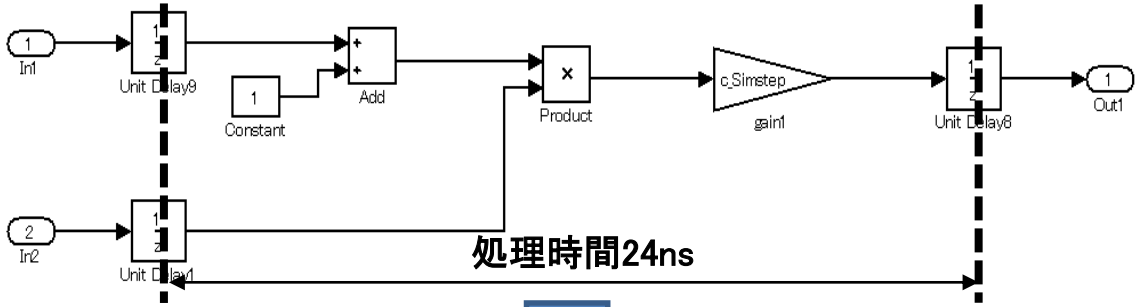
タイミングエラー解消するには・・・



5.HDL Coder活用への取り組み

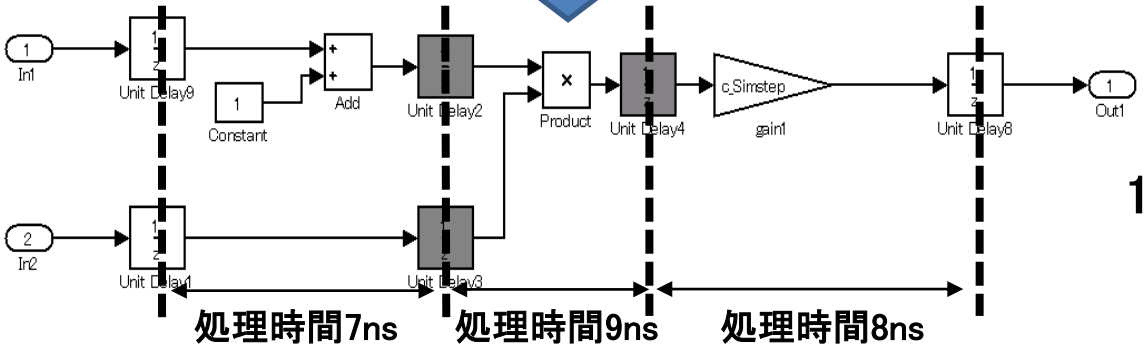
【取り組み/工夫の一例】レジスタ追加

FPGAクロック：100[MHz]
※処理時間は一例



【タイミング制約NG 】
10nsec ＜ 処理時間24nsec

レジスタ（灰色）を追加



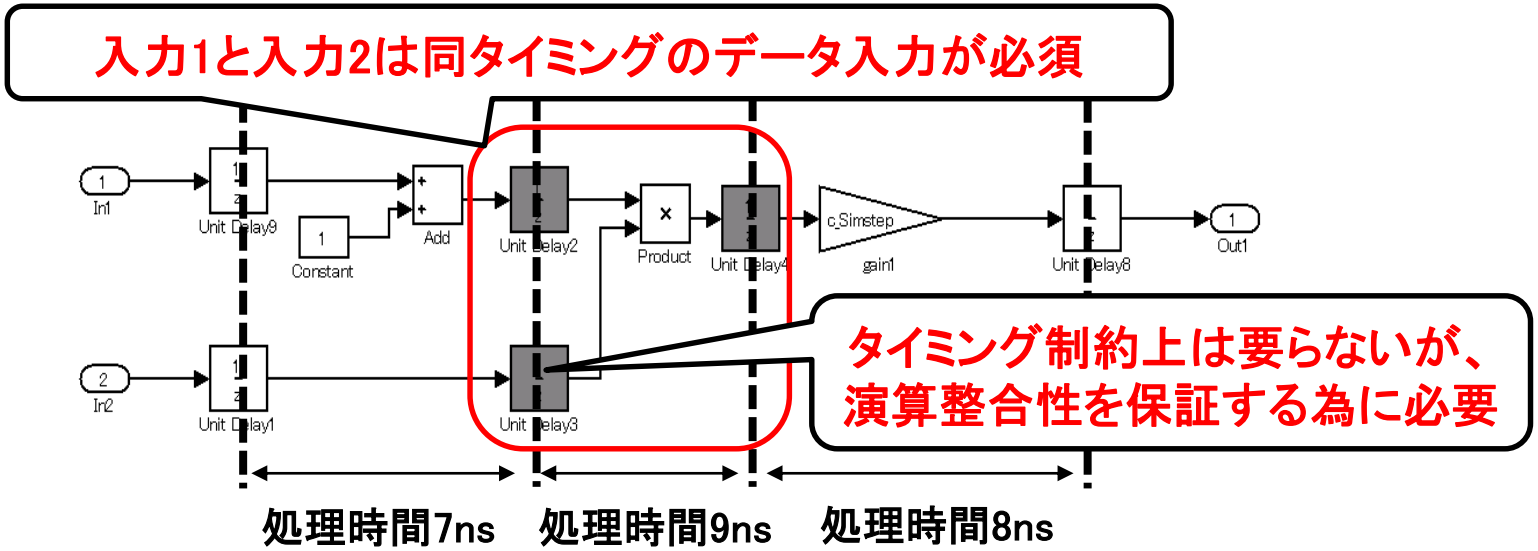
【タイミング制約OK 】
10nsec ＞ 処理時間7/9/8nsec

5.HDL Coder活用への取り組み

【技術的なPoint】同期設計

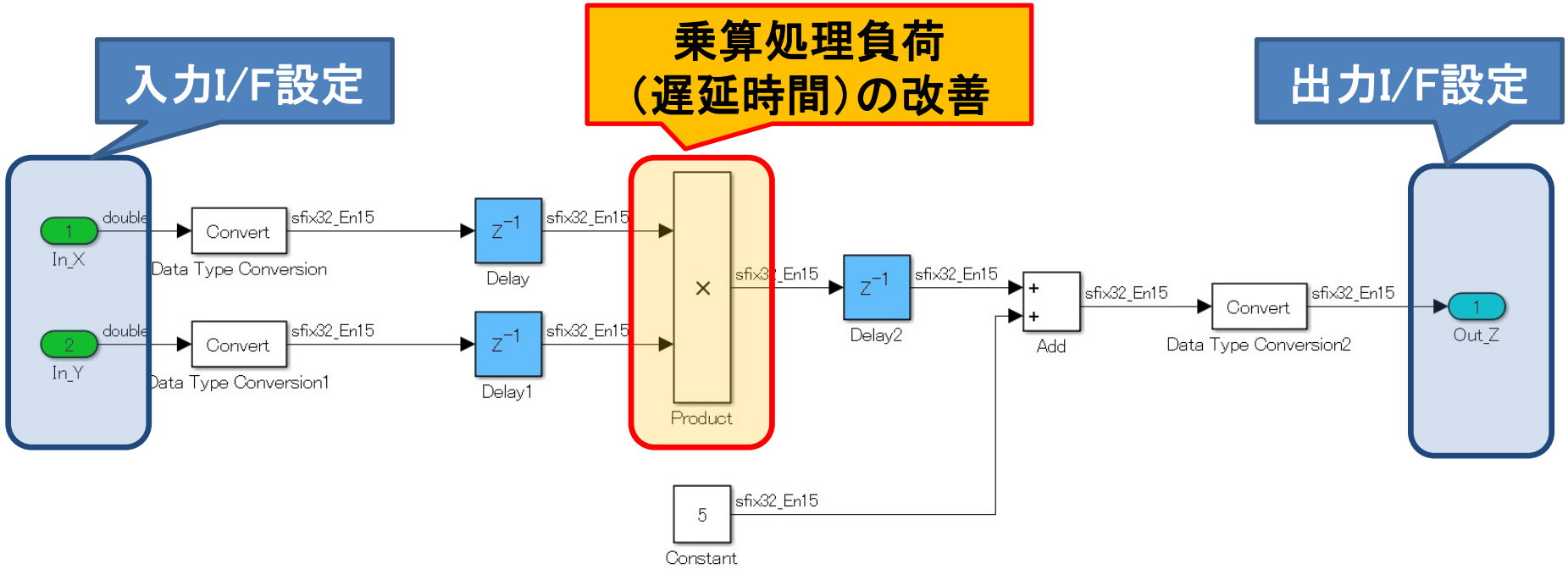
・レジスタ追加手法では同期性の考慮が必要

⇒FPGAで演算させる場合、回路が並列で動作する為
2入力以上のブロックに対しては同期を考慮したモデル設計が必要



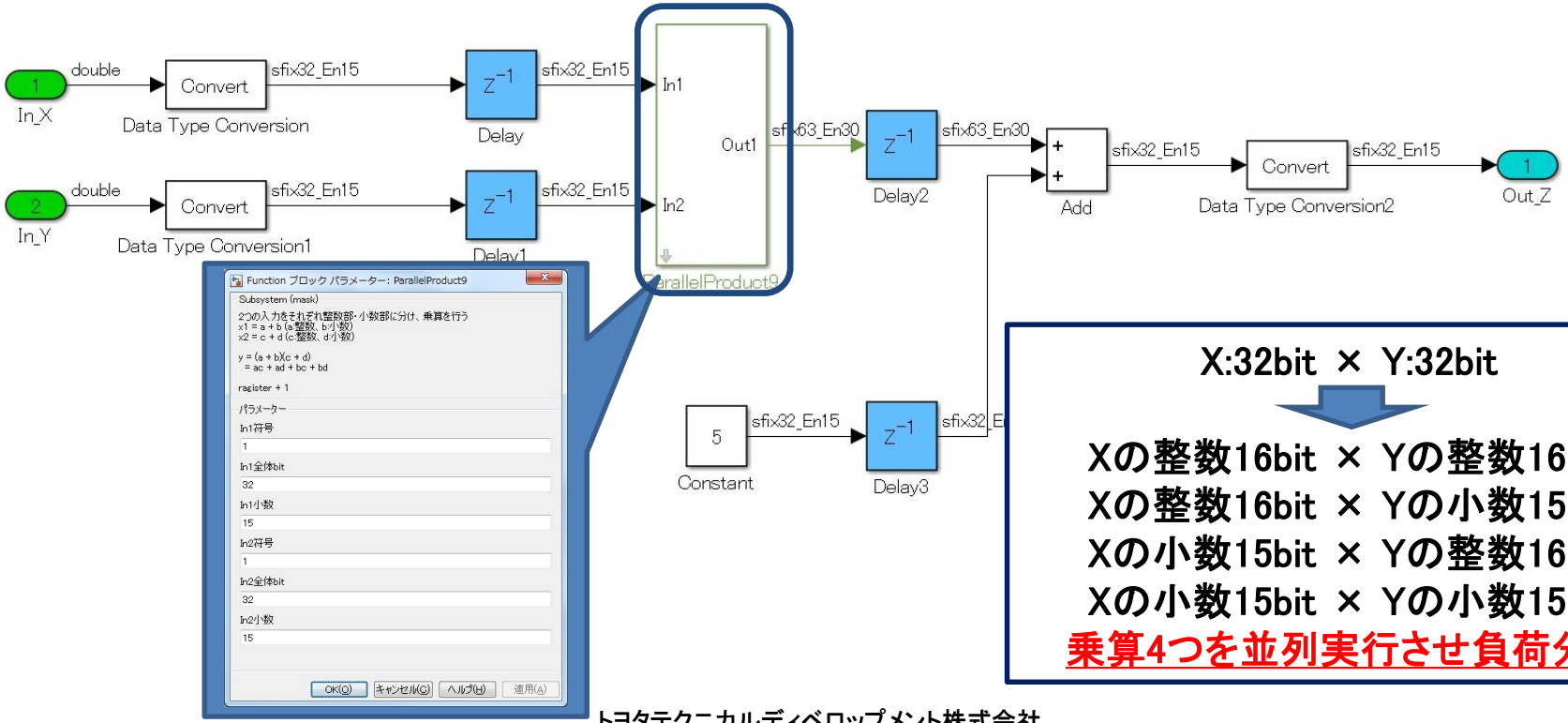
5.HDL Coder活用への取り組み

【取り組み/工夫の一例】独自ブロック（ライブラリ）の開発



5.HDL Coder活用への取り組み

- 乗算処理負荷（遅延時間）の改善



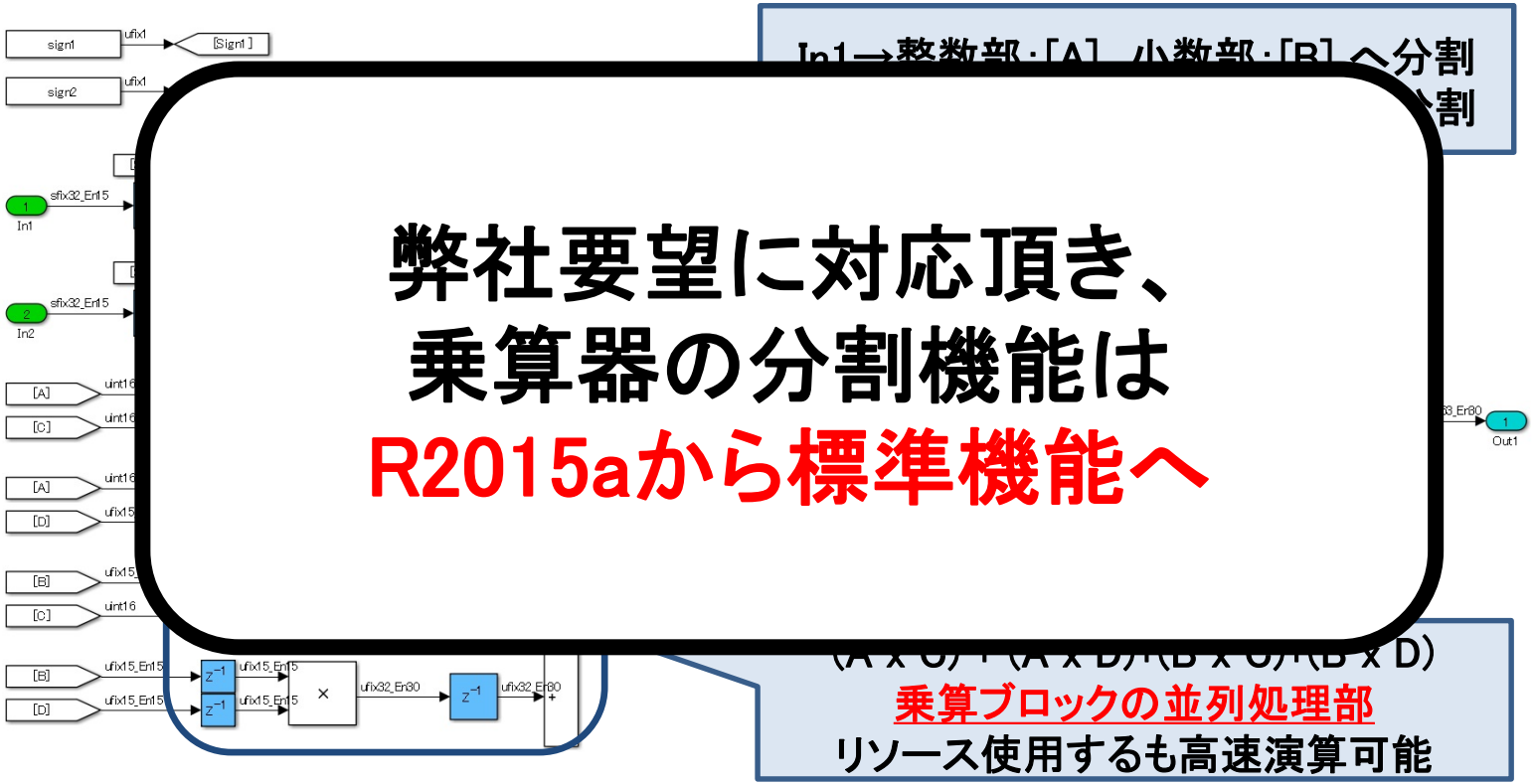
X:32bit × Y:32bit

Xの整数16bit × Yの整数16bit
Xの整数16bit × Yの小数15bit
Xの小数15bit × Yの整数16bit
Xの小数15bit × Yの小数15bit

乗算4つを並列実行させ負荷分散

5.HDL Coder活用への取り組み

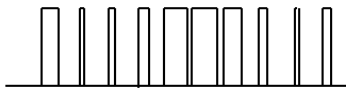
- 独自乗算ブロックの中身



弊社要望に対応頂き、
乗算器の分割機能は
R2015aから標準機能へ

5.HDL Coder活用への取り組み

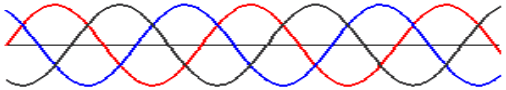
- シミュレータ実装後のトータル演算周期（演算STEP）の短縮



インバータ制御信号

FPGA搭載モータHILS

【インバータ・モータ模擬】



モータ電流

従来モデル	800ns
独自取組後のモデル	600ns

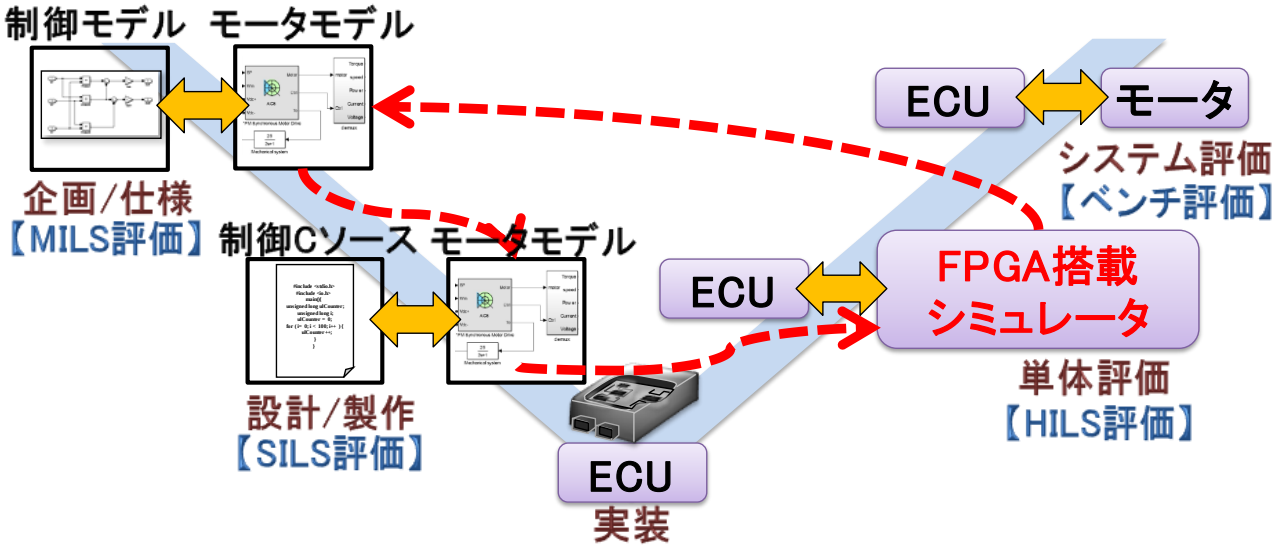
遅延改善

Agenda

1. TTDC会社紹介
2. モータシミュレータ(HILS)でFPGA採用の背景
3. HDL Coder活用の狙い
4. HDL Coder性能調査
5. HDL Coder活用への取り組み
6. まとめ

6.まとめ

【HDL Coder活用の狙い】
Vプロセスにおいて、上流工程から下流工程まで一貫したプラントモデルで制御(ECU)評価したい
⇒ FPGA実装モデルへHDL Coderを活用



6.まとめ

【 HDL Coder活用に向けた取り組みの結果】

- モデルの開発＋デバッグ工程が短縮
  MILS/SILSプラントモデルの流用性向上

- トータル演算周期（演算STEP数）が短縮
  HILSシステムとして演算応答性が向上

- 汎用性/自由度が高い分、ノウハウも必要
  リリース当初の標準機能では不十分であったが、
  VerUp毎に機能改善/追加がされている

6.まとめ

弊社のモータHILS“MotorBox3”は、
モデル開発環境としてHDL Coderを採用！

FPGAのベースクロック
100MHz(= モデル演算Step)

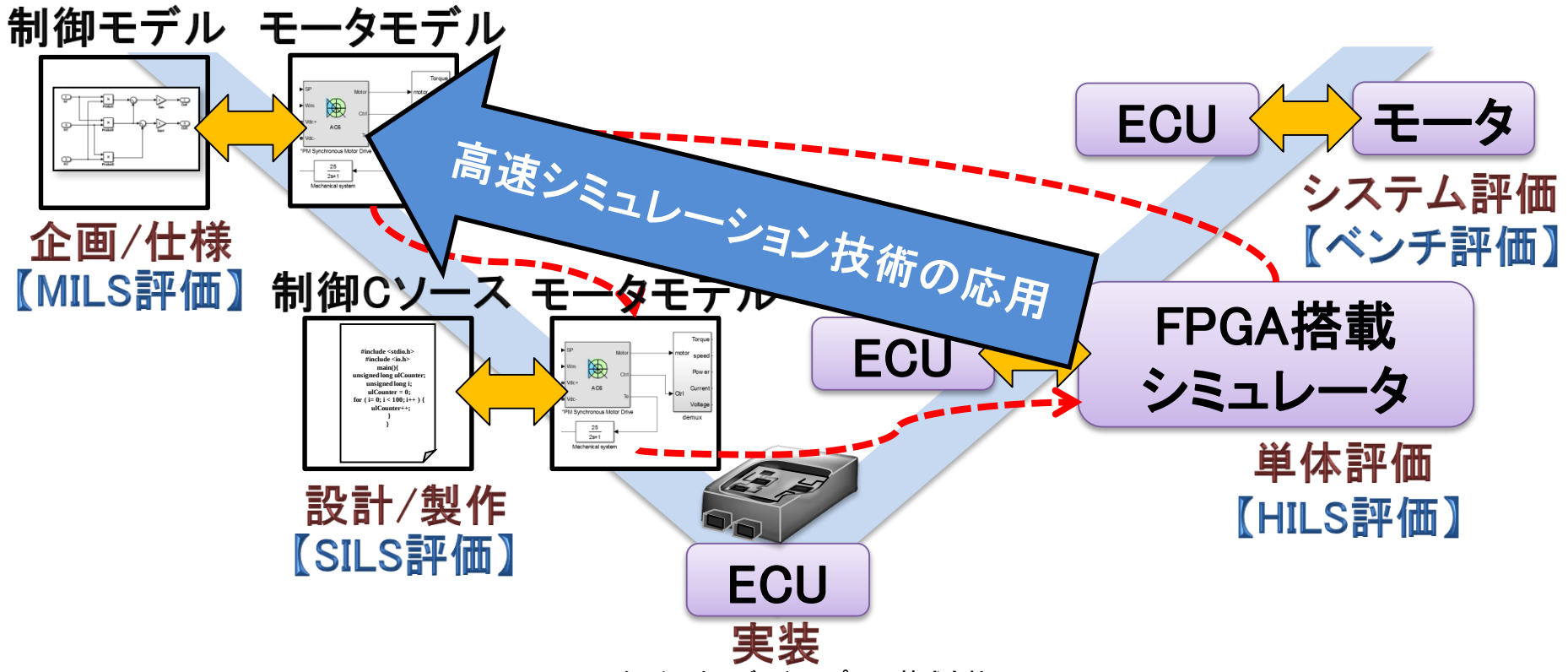
FPGAリソースと
ベースクロックを考慮した
モデリング技術

Simulinkモデルから
FPGA実装ファイル
自動生成ツールの開発

その他FPGA関連業務でも
モデルの流用が可能になり効率化実現！

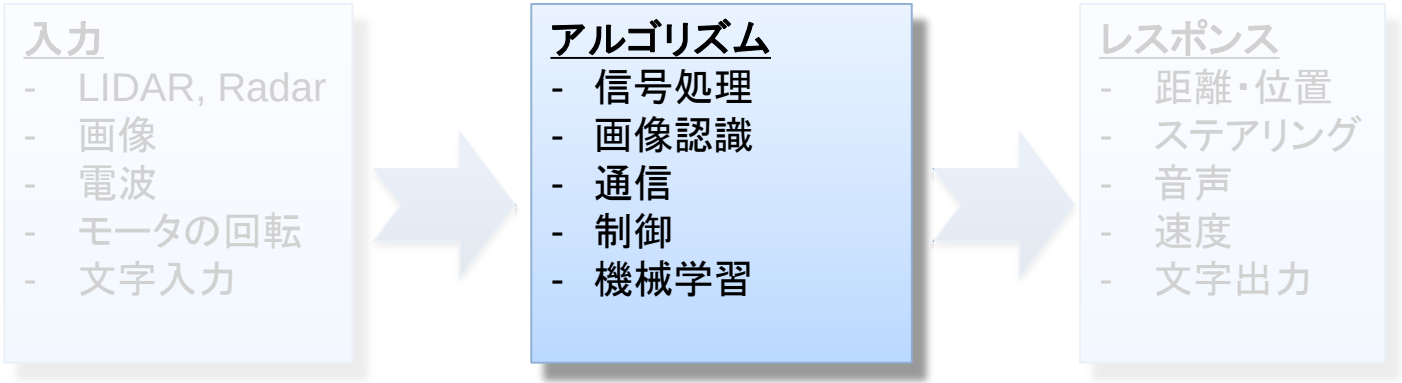
6.まとめ

ECU開発工程とプラントモデル



今後のHDL Coder VerUp.にさらなる期待！

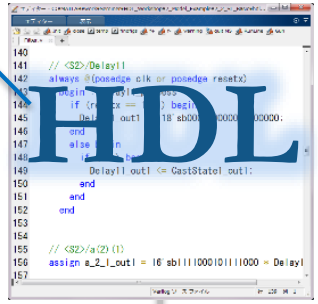
高度な演算におけるキーファクター：アルゴリズム



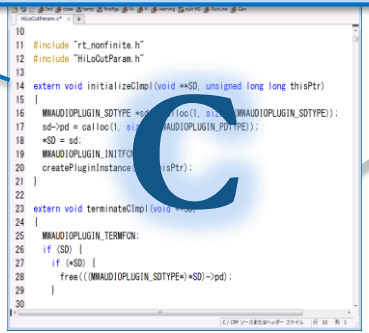
高度なシステムを実現するキーファクターは「*アルゴリズム*」

一般的なFPGAによるアルゴリズムの実現方法

レジスタと組み合わせロジック
記述が煩雑、行数多い
複雑な演算記述は困難

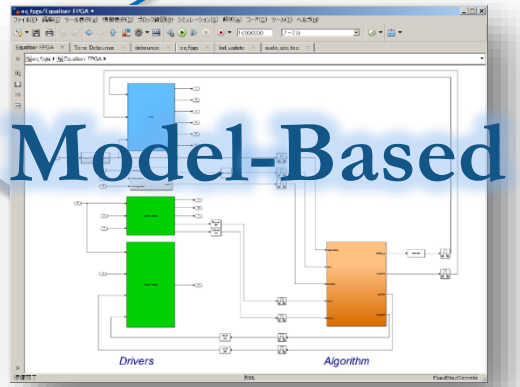


ハードウェアを意識した動作記述
スケジューリングや回路アーキテクチャ
を推論するためのpragma



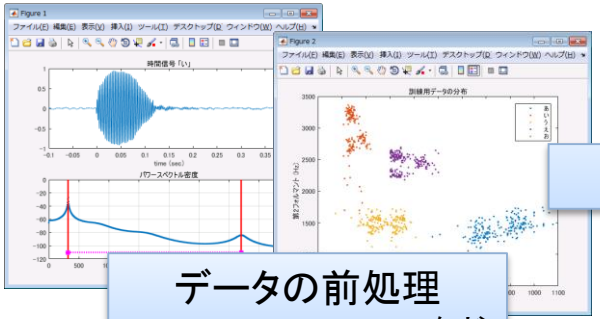
FPGA
設計

ハードウェアを意識したブロック線図
豊富なアルゴリズムと機能ライブラリ
検証のための各種機能
- 各種解析、固定小数点化、カバレッジ

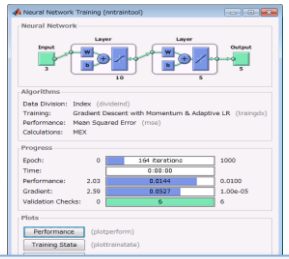


アルゴリズムから実装までのフロー
例：Neural NetworkのFPGA実装

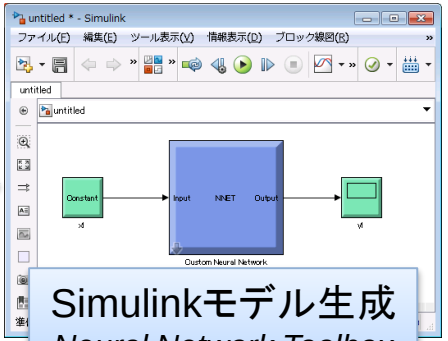
- アルゴリズム開発～実証・検証～実装をカバーしたツールチェーン



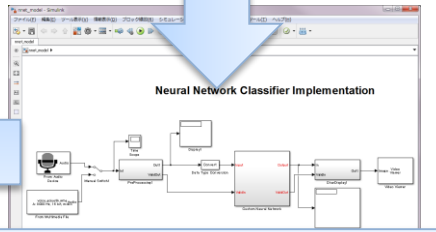
データの前処理
DSP System Toolboxなど



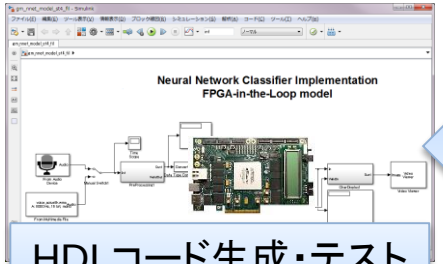
学習⇒分類器
Neural Network Toolbox



Simulinkモデル生成
Neural Network Toolbox



離散化、固定小数点化
Simulink, Fixed-Point Designer

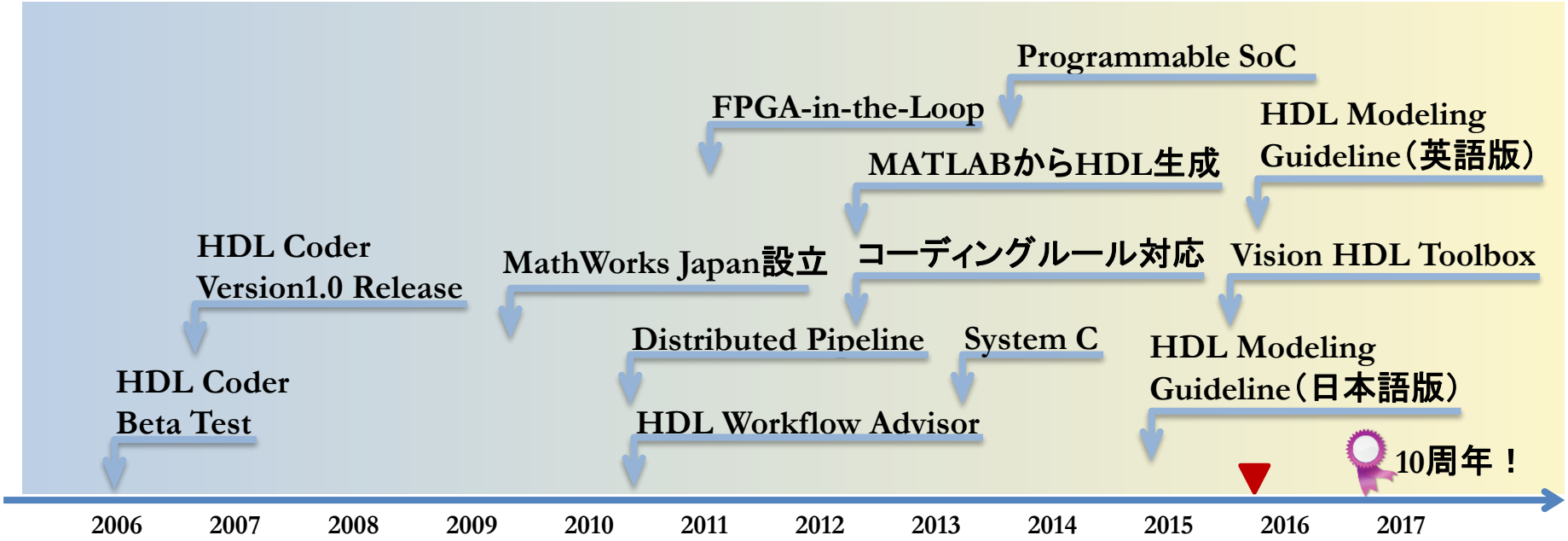


HDLコード生成・テスト
HDL Coder, HDL Verifier

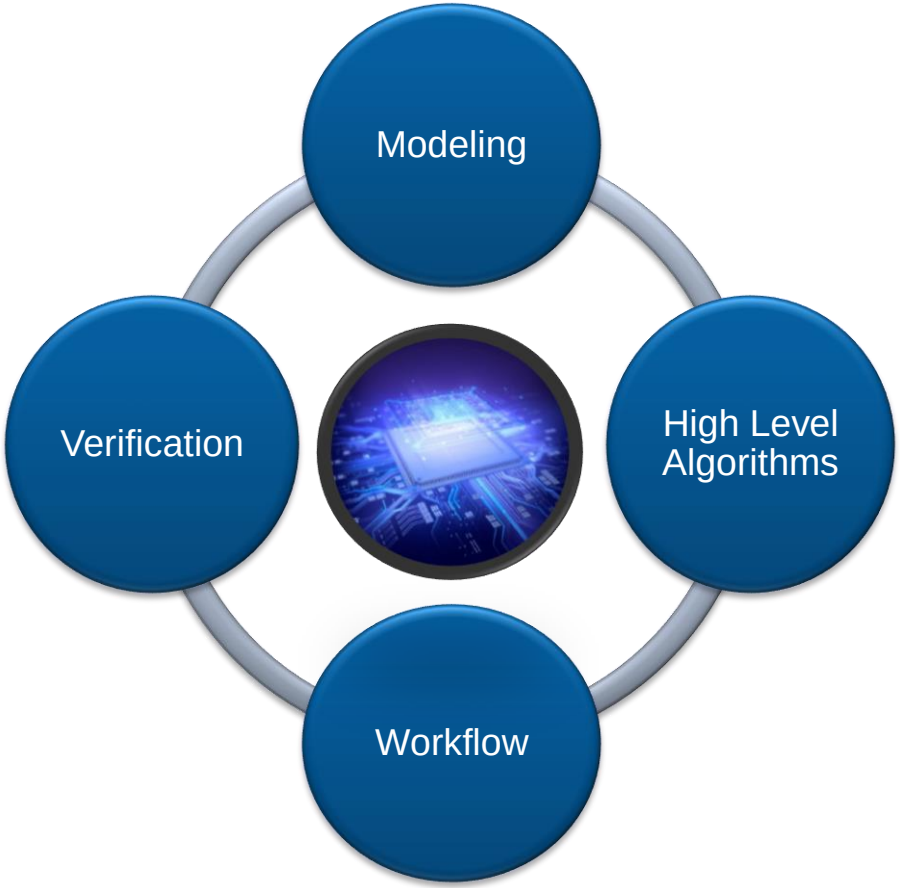
FPGA/ASIC実装
論理合成・配置配線ツール

HDLプロダクト推移

- お客様の要望により様々な機能を追加



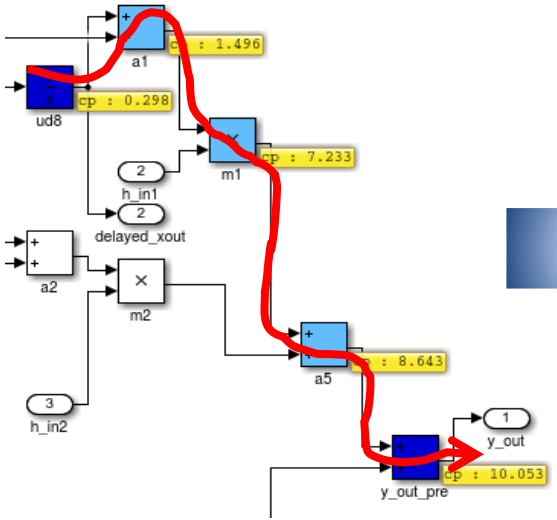
HDLプロダクトの機能改善：4分野にフォーカス

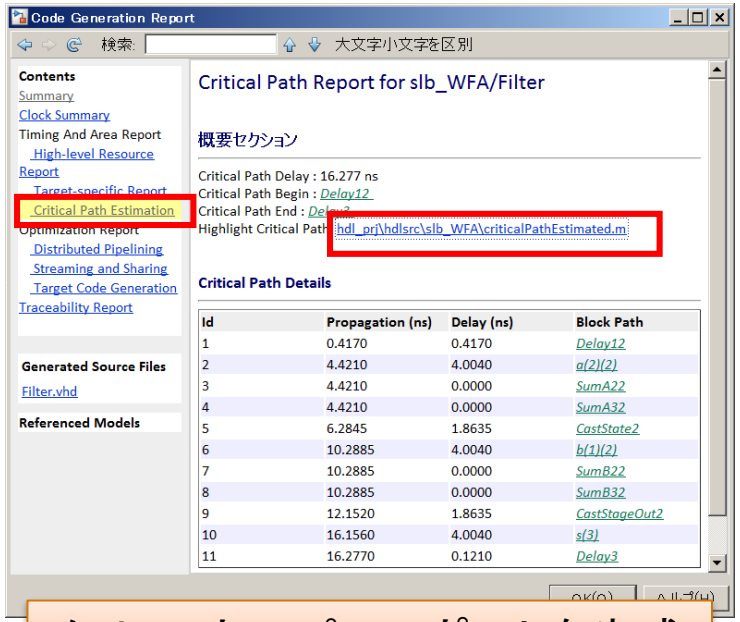


Workflow：クリティカルパス推定

R2015a

- 論理合成を行わずに短時間でクリティカルパスを推定
  ⇒タイミング解析時間の短縮

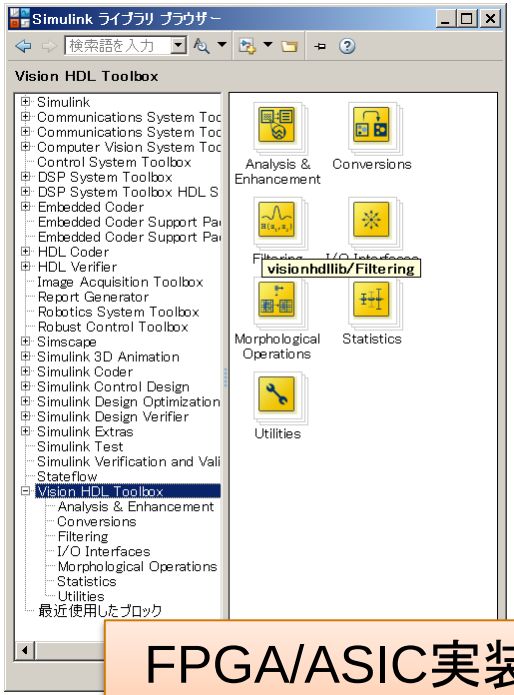


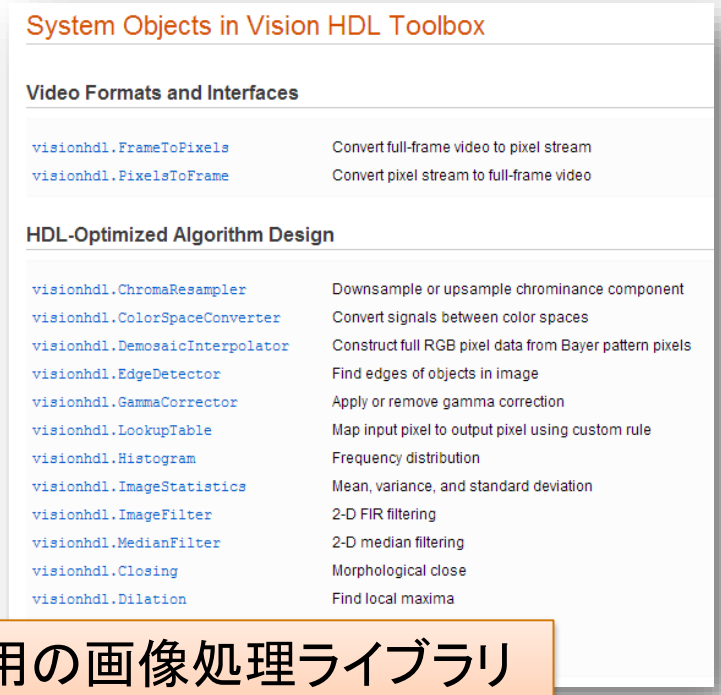


クリティカルパスレポートを生成

High Level Algorithm：
画像処理ライブラリVision HDL Toolboxリリース

R2015a





System Objects in Vision HDL Toolbox

Video Formats and Interfaces

visionhdl.FrameToPixels	Convert full-frame video to pixel stream
visionhdl.PixelsToFrame	Convert pixel stream to full-frame video

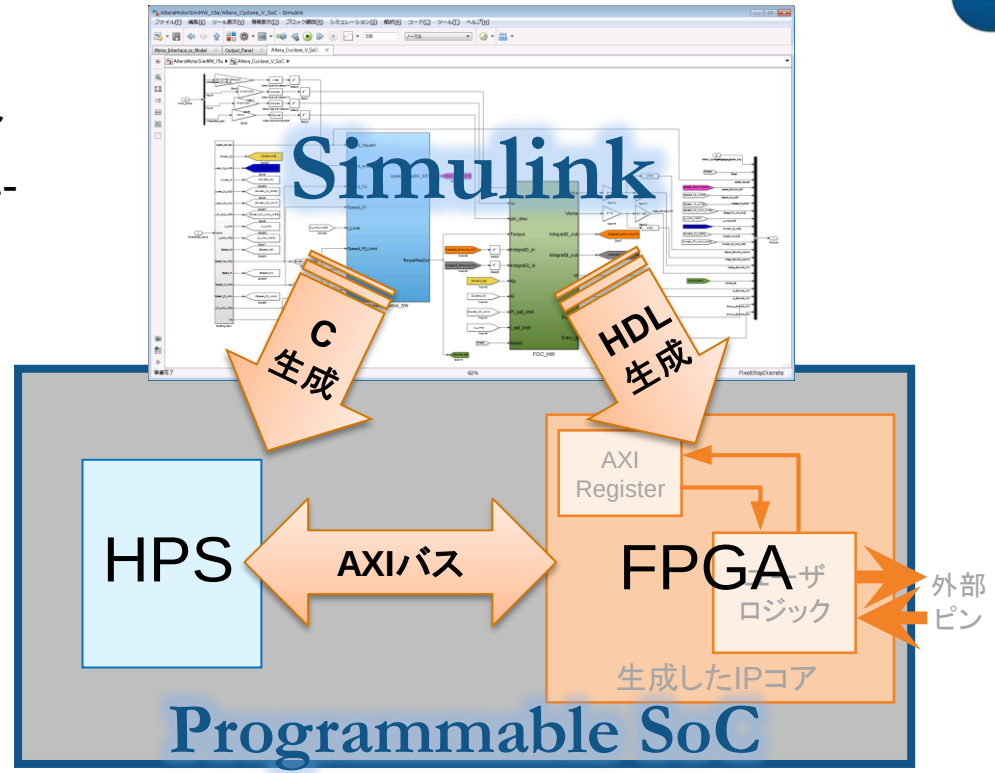
HDL-Optimized Algorithm Design

visionhdl.ChromaResampler	Downsample or upsample chrominance component
visionhdl.ColorSpaceConverter	Convert signals between color spaces
visionhdl.DemosaicInterpolator	Construct full RGB pixel data from Bayer pattern pixels
visionhdl.EdgeDetector	Find edges of objects in image
visionhdl.GammaCorrector	Apply or remove gamma correction
visionhdl.LookupTable	Map input pixel to output pixel using custom rule
visionhdl.Histogram	Frequency distribution
visionhdl.ImageStatistics	Mean, variance, and standard deviation
visionhdl.ImageFilter	2-D FIR filtering
visionhdl.MedianFilter	2-D median filtering
visionhdl.Closing	Morphological close
visionhdl.Dilation	Find local maxima

FPGA/ASIC実装用の画像処理ライブラリ
（Simulinkブロック、MATLABコード）を提供

Modeling：Programmable SoC対応

- R2013b ：Zynqサポート
- R2014b ：Altera SoCサポート
- R2015a ：AXI4-Streamサポート
- R2015b ：ベクターポートのAXI4-Streamサポート



Workflow：ハードウェアサポートパッケージ

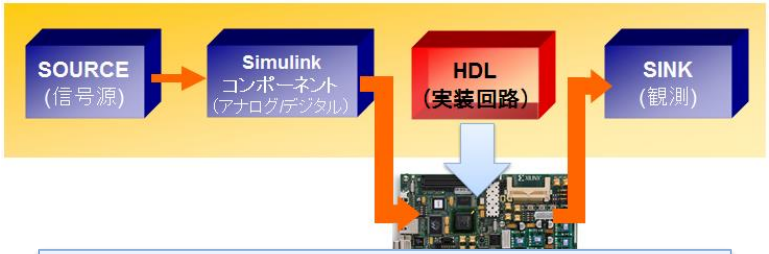
- アドオンをダウンロードして追加インストール
  - FPGA/SoCボード定義ファイル、例題モデル
  - 最適化ARM Cortex-M/A向けCコードライブラリ
  - 各種分野向けボードをサポート

信号処理/無線通信

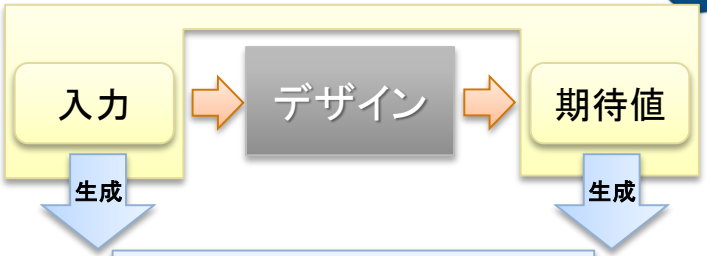
モータ制御

画像処理

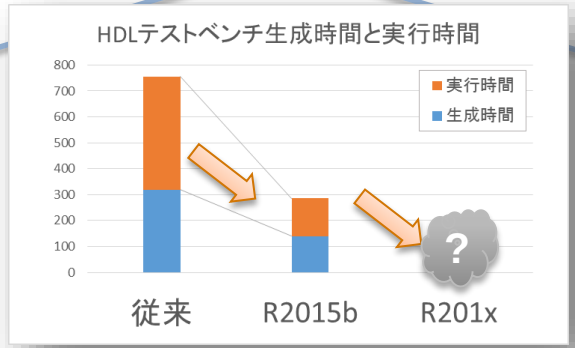
Verification：
テストベンチの多様化とパフォーマンス向上



FPGA-in-the-Loop対応ボードと
対応インターフェース追加



チューナブルなDPI-C
テストベンチ生成



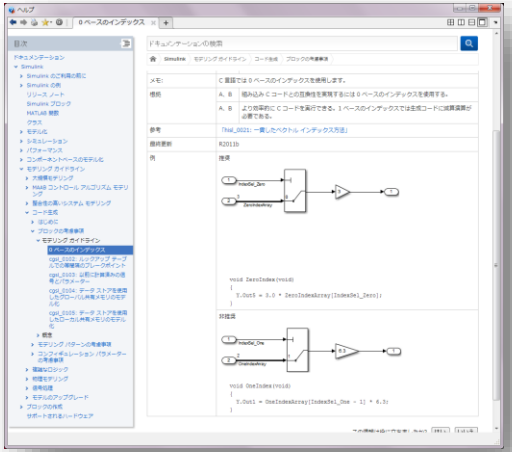
Modeling：モデリングガイドライン

HDLコード生成用モデリング New

- HDL Modeling Guidelineを2014年12月日本先行リリース
- 英語版を2015年8月リリース
- ユーザに配布（ヘルプドキュメント掲載までの暫定措置）

Cコード生成用モデリング

- Simulinkヘルプドキュメント
- JMAABガイドライン（制御向け）



まとめ

- FPGAのマーケットトレンドの変化
  - 量産適用、高性能演算への適用分野の広がり
- FPGAシミュレータ開発事例
  - ECU開発用の仮想プラント（モータ）への適用
- HDLプロダクトの最新動向
  - Modeling, High Level Algorithm, Workflow, Verification

*HDL Coder/HDL Verifier*に関して詳しく知りたい方は・・・

- FPGA/ASIC実装ビデオシリーズ
  jp.mathworks.com ⇒ 製品
  ⇒ HDL Coder ⇒ 関連ビデオ
  http://jp.mathworks.com/videos/series/fpgaasic-implementation-102284.html